

PCT/JP00/09139

09"89044

22.12.00

日本国特許庁

EU

PATENT OFFICE
JAPANESE GOVERNMENT
JP00/9139

REC'D	02 MAR 2001
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年11月 2日

出願番号

Application Number:

特願2000-336447

出願人

Applicant(s):

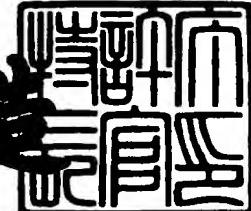
アンリツ株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3005545

【書類名】 特許願
【整理番号】 101478
【あて先】 特許庁長官殿
【発明者】
【住所又は居所】 東京都港区南麻布五丁目10番27号 アンリツ株式会

社内

【氏名】 青木 隆
【発明者】
【住所又は居所】 東京都港区南麻布五丁目10番27号 アンリツ株式会
社内
【氏名】 望月 健
【発明者】
【住所又は居所】 東京都港区南麻布五丁目10番27号 アンリツ株式会
社内
【氏名】 内野 政治

【特許出願人】

【識別番号】 000000572
【氏名又は名称】 アンリツ株式会社
【代表者】 塩見 昭

【代理人】

【識別番号】 100079337

【弁理士】

【氏名又は名称】 早川 誠志
【電話番号】 03-3490-4516

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第367209号
【出願日】 平成11年12月24日

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 6642

【出願日】 平成12年 1月14日

【手数料の表示】

【予納台帳番号】 043443

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712293

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ワンダ発生装置およびそれを含むディジタル回線試験装置

【特許請求の範囲】

【請求項1】

所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段（25、121）と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部（28、125）と、

クロック信号を発生するクロック発生手段（30、31、151）と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段（30、151）と、

前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段（23、26、130）とを備えたワンダ発生装置。

【請求項2】

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されていることを特徴とする請求項1記載のワンダ発生装置。

【請求項3】

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいることを特徴とする請求項1記載のワンダ発生装置。

【請求項4】

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振

幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする請求項3記載のワンド発生装置。

【請求項5】

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする請求項3記載のワンド発生装置。

【請求項6】

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンドを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えていることを特徴とする請求項3または請求項4または請求項5記載のワンド発生装置。

【請求項7】

前記変調手段によって周波数が変調されたクロック信号のワンドの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えた請求項1記載のワンド発生装置。

【請求項8】

ワンダを有する試験信号を発生するワンダ発生部（21、40）と、該ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（41、43）とを備えたデジタル回線試験装置において、

前記ワンダ発生部が、前記請求項1または請求項2または請求項3または請求項4または請求項5または請求項6または請求項7記載のワンダ発生装置を含み、~~該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生する~~ように構成されていることを特徴とするデジタル回線試験装置。

【請求項9】

所望のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（22）と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（23）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザ（30）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えていることを特徴とするワンダ発生装置。

【請求項10】

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生

手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される白色雑音信号との畳込み演算を行い、前記周波変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備えていることを特徴とする請求項9記載のワンド発生装置。

【請求項11】

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴とする請求項10記載のワンド発生装置。

【請求項12】

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことの特徴とする請求項10記載のワンド発生装置。

【請求項13】

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴とする請求項10記載のワンド発生装置。

【請求項14】

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（51）と、

前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、

前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数に分割する前記各帯域毎のスペクトルの大きさ応じた重み付けを行う重み付け手段（54）と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（56）とを備えていることを特徴とする請求項9記載のワンド発生装置

【請求項15】

前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数（m）組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されていることを特徴とする請求項10または請求項14記載の記載のワンド発生装置。

【請求項16】

規定のタイムデピエーション特性を満足するワンドを有するクロック信号を発生するためのワンド発生装置（21）と、

前記ワンド発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部（40）と、

前記試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、該受信したデジタル信号のクロック信号を再生する受信部（41）と

前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（42）と

前記受信部によって再生されたクロック信号のタイムデピエーション特性を測定するタイムデピエーション測定部（43）と、

表示装置（47）と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデピエーション測定部で測定されたタイムデピエーション特性を前記規定のタイム

デビエーション特性と対比できるように前記表示装置に表示する表示制御手段（46）とを備えたディジタル回線試験装置。

【請求項17】

前記ワンダ発生装置が、前記請求項9または請求項10または請求項11または請求項12または請求項13または請求項14または請求項15記載のワンダ発生装置であることを特徴とする請求項16記載のディジタル回線試験装置

【請求項18】

ディジタルの白色性の雜音信号を発生する白色雜音発生手段（121）と、
ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雜音発生手段から出力された雜音信号を予め設定された特性係数に対応する周波数特性の雜音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雜音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雜音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、

前記フィルタ部から前記特性係数に対応した周波数特性の雜音信号が出力されている状態における前記ディジタルフィルタの各記憶素子の記憶内容と同等の雜音信号列を、少なくとも装置の動作初期時に前記ディジタルフィルタの各記憶素子に初期設定する初期設定手段（131）とを備えたワンダ発生装置。

【請求項19】

ディジタルの白色性の雜音信号を発生する白色雜音発生手段（121）と、
ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雜音発生手段から出力された雜音信号を予め設定された特性係数に対応する周波数特性の雜音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（151）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えたワンド発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワンドのあるクロック信号を発生するワンド発生装置およびそれを含むデジタル回線試験装置に関する。

【0002】

【従来の技術】

デジタル回線に伝送されるデジタル信号は、伝送路上の雑音等の影響を受けて位相が揺らぐ。

【0003】

この位相の揺らぎのうち、一般にその揺らぎの周波数が10Hzより高い成分をジッタ、10Hzより低い成分をワンドと呼んでおり、このような位相揺らぎが大きくなると、回線がそのデジタル信号を正しく伝達できなくなり、符号の誤りが大きくなる。

【0004】

したがって、デジタル回線の評価を行う場合、ジッタやワンドについての測

定が必要となる。

【0005】

ワンダに関する一つの評価方法として、タイムデビエーション（以下TDEVと記す）がある。

【0006】

TDEVの測定は、ワンダのあるディジタル信号のクロック信号成分と、基準のクロック信号との位相差TIE (Time Interval Error) を、その初期位相差に対する変化量として順次求め、このTIEデータをもとにして、次式の演算を行う。

【0007】

$$TDEV(\tau) = \{ (1/6n^2) (1/m) \cdot \sum_{j=1}^m [\sum_{i=j}^{n+j-1} (x_{i+2n} - 2x_{i+n} + x_i)]^2 \}^{1/2}$$

【0008】

ただし、 $m=N-3n+1$ 、 x_i はTIEサンプルデータ、Nは全サンプル数、 τ は積分時間 (Integration Time) ($\tau=n \cdot \tau_0$)、nはサンプリング数 ($n=1, 2, \dots, N/3$)、 τ_0 はサンプリング周期、記号 $\sum_{j=1}^m$ は $j=1 \sim m$ までの総和、記号 $\sum_{i=j}^{n+j-1}$ は $i=j \sim n+j-1$ までの総和を示す。

【0009】

TDEV(τ) は、最大積分時間の12倍の測定時間の全TIEデータをもとに求める。例えば、サンプリング周期 τ_0 が $1/80$ 秒 (12.5ミリ秒) のとき、 $\tau=1000$ 秒の TDEV(1000) を求める場合、 12000 秒 (80 サンプル/秒 $\times 1000$ 秒 $\times 12 = 960000$ サンプル) 分の測定データを使って上記式を計算する。

【0010】

このTDEVを用いてディジタル回線を評価する場合、位相揺らぎのないディジタル信号を試験対象の回線の一端に入力して他端側でTDEVの測定を行う方法や、ワンダを有するクロック信号に同期したディジタル信号を試験対象の回線

に入力するとともにそのワンダの大きさや周波数を変えながら、他端側でデジタル信号の誤り率を測定し、ワンダの大きさや周波数に対する回線の耐力を調べる方法等があった。

【0011】

後者のようにワンダのあるデジタル信号を用いて試験対象の回線の評価を行うために、10Hz以下の位相揺らぎをもつクロック信号を発生するワンダ発生装置が用いられる。

【0012】

図40は従来のワンダ発生装置10の構成を示すもので、変調信号発生器11から出力される10Hzより低い位相変調用の変調信号と、基準電圧発生器12から出力される基準電圧とを加算器13によって加算し、その加算器13の出力をVCO（電圧制御発振器）14に入力して、基準電圧に対応した中心周波数をもち、変調信号によって位相変調されたクロック信号CKを発生している。

【0013】

このワンダ発生装置10では、変調信号発生器11から出力される変調信号の周波数や振幅を可変することによって、クロック信号CKのワンダの周波数や大きさを可変することができる。

【0014】

【発明が解決しようとする課題】

ところで、近年では、TDEVマスク（Mask）と呼ばれANSI等によって規定されたTDEV特性を満足するワンダを有するデジタル信号を用いてデジタル回線の評価を行う方法が提案されている。

【0015】

このTDEVマスクには、図41の(a)のように、ある積分時間 τ_1 までは一定で、積分時間 τ_1 を超える範囲では $\tau^{1/2}$ に比例して増加する特性M1(ANSI T1.101-1994のSection 7.22や、105-03-1994のSection D.2.2.1等)や、図41の(b)のように、ある積分時間 τ_1 までは一定で、積分時間 τ_1 から τ_2 までの範囲では τ^1 に比例して増加し、積分時間 τ_2 を超える範囲では、 $\tau^{1/2}$ に比例して増加す

る特性M2 (ANSI T1.101-1994のSection 7.3.2や、105-03-1994のSection D.2.1、同Section D.2.2.2) 等がある。

【0016】

しかしながら、前記したように単信号の位相変調しかできない従来のワンダ発生装置10では、上記のように積分時間範囲毎に変化するようなTDEV特性を満足するクロック信号を発生させることは困難であり、このため、任意のTDEVマスク特性を満足するクロック信号を発生できるワンダ発生装置の実現が望まれていた。

【0017】

本発明は、上記課題を解決し、所望特性のワンダを有するクロック信号を容易に且つ精度良く発生させることができるワンダ発生装置およびこのワンダ発生装置を含むデジタル回線試験装置を提供することを目的としている。

【0018】

また、上記目的を達成するために本発明では、複数ビットの乱数からなる信号（雑音信号）に対してデジタル的なフィルタリング処理をフィルタ部で行い、このフィルタリング処理された信号によって周波数が変調されたクロック信号を発生するようしているが、本発明は、このフィルタリング処理を行うためのフィルタ部の記憶素子の状態が定常状態になるまでの時間を短縮して、所望特性のワンダを有するクロック信号を速やかに発生できるワンダ発生装置を提供することを目的の一つとしている。

【0019】

また、本発明は、上記のように所望特性のワンダを有するクロック信号を出力できるようにしたときに、実際に出力されるクロック信号のワンダの特性を事前に確認できるワンダ発生装置を提供することを目的の一つとしている。

【0020】

【課題を解決するための手段】

前記目的を達成するために、本発明の請求項1のワンダ発生装置は、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定

速度で順次発生する乱数信号発生手段（25、121）と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部（28、125）と、

クロック信号を発生するクロック発生手段（30、31、151）と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段（30、151）と。

前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段（23、26、130）とを備えている。

【0021】

また、本発明の請求項2のワンダ発生装置は、請求項1記載のワンダ発生装置において、

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されている。

【0022】

また、本発明の請求項3のワンダ発生装置は、請求項1記載のワンダ発生装置において、

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいる。

【0023】

また、本発明の請求項4のワンダ発生装置は、請求項3記載のワンダ発生装置において、

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする。

【0024】

また、本発明の請求項5のワンド発生装置は、請求項3記載のワンド発生装置において、

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えしており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする。

【0025】

また、本発明の請求項6のワンド発生装置は、請求項3または請求項4または請求項5記載のワンド発生装置において、

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンドを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えている。

【0026】

また、本発明の請求項7のワンド発生装置は、請求項1記載のワンド発生装置において、

前記変調手段によって周波数が変調されたクロック信号のワンダの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0027】

また、本発明の請求項8のデジタル回線装置は、
ワンダを有する試験信号を発生するワンダ発生部（21、40）と、該ワンダ
発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（
41、43）とを備えたデジタル回線試験装置において、

前記ワンダ発生部が、前記請求項1または請求項2または請求項3または請求
項4または請求項5または請求項6または請求項7記載のワンダ発生装置を含み
、該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生する
ように構成されている。

【0028】

また、本発明の請求項9のワンダ発生装置は、
所望のタイムデピエーション特性を満足するワンダを有するクロック信号を發
生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情
報設定手段（22）と、

前記所望のタイムデピエーション特性の特性情報を設定するための特性情報設
定手段（23）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタ
イムデピエーション特性に対応する周波数変動の電力スペクトル密度分布特性を
有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列
発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシ
ンセサイザ（30）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えている。

【0029】

また、本発明の請求項10のワンダ発生装置は、請求項9記載のワンダ発生装置において、

前記揺らぎ信号列発生部は

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される白色雑音信号との畳込み演算を行い、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備えている。

【0030】

また、本発明の請求項11のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴としている。

【0031】

また、本発明の請求項12のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことの特徴としている。

【0032】

また、本発明の請求項13のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴としている。

【0033】

また、本発明の請求項14のワンド発生装置は、請求項9記載のワンド発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段(25)と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段(51)と、

前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数に分割する前記各帯域毎のスペクトルの大きさ応じた重み付けを行う重み付け手段(54)と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段(56)とを備えている。

【0034】

また、本発明の請求項15のワンド発生装置は、請求項10または請求項14記載のワンド発生装置において、

前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されている。

【0035】

また、本発明の請求項16のデジタル回線試験装置は、
 規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発
 生するためのワンダ発生装置（21）と、
 前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を
試験対象のデジタル回線に送出する送信部（40）と。

前記試験対象のデジタル回線から折り返されたデジタル信号を受信すると
 ともに、該受信したデジタル信号のクロック信号を再生する受信部（41）と

、
 前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（42）と
 、
 前記受信部によって再生されたクロック信号のタイムデビエーション特性を測
 定するタイムデビエーション測定部（43）と、

表示装置（47）と、
 前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデ
 ピエーション測定部で測定されたタイムデビエーション特性を前記規定のタイム
 デビエーション特性と対比できるように前記表示装置に表示する表示制御手段（
 46）とを備えている。

【0036】

また、本発明の請求項17のデジタル回線試験装置は、請求項16記載のデ
ジタル回線試験装置において、

前記ワンダ発生装置が、前記請求項9または請求項10または請求項11または
 請求項12または請求項13または請求項14または請求項15記載のワンダ
 発生装置であることを特徴としている。

【0037】

また、本発明の請求項18のワンダ発生装置は、
 デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、
 デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数
 の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前

記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乘算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（131）とを備えている。

【0038】

また、本発明の請求項19のワンド発生装置は、

デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乘算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（151）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数

シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0039】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態を説明する。図1は、本発明の実施形態のデジタル回線試験装置20の全体構成を示している。

【0040】

このデジタル回線試験装置20は、任意のTDEVマスク特性を満足するワンドを有するクロック信号CK1を発生するワンド発生装置21を有している。このワンド発生装置21の詳細については後述し、先にデジタル回線試験装置20の全体構成を説明する。

【0041】

ワンド発生装置21から出力されたクロック信号CK1は送信部40に入力される。この送信部40は、ワンド発生装置21から出力されたクロック信号CK1に同期した所定パターンのデジタル信号（例えば擬似ランダム信号）Saを、出力端子20aを介して予め折り返しモードに設定された試験対象のデジタル回線1へ送出する。

【0042】

なお、送信部40は、クロック信号CK1に同期したデジタル信号以外に他のデジタル信号を多重化してデジタル回線1へ送出する場合もある。

【0043】

受信部41は、デジタル回線1から折り返されてきたデジタル信号Sa'を入力端子20bを介して受信し、この受信したデジタル信号Sa'からクロック信号CK1'を再生する。

【0044】

誤り測定部42は、受信部41が受信したデジタル信号Sa'の誤り測定を行うピット単位で行う。

【0045】

また、TDEV測定部43は、受信部41によって再生されたクロック信号CK1'のタイムデビエーションを測定する。

【0046】

このTDEV測定部43は、図2に示すように、TIE検出部44とTDEV演算部45によって構成されており、TIE検出部44は受信したクロック信号CK1'に基準クロック発生器44aから出力される基準クロック信号CK2とを位相比較器44bに入力して両者の位相差を検出し、この位相比較44bの出力から10Hz以下のワンダ成分を低域通過フィルタ(LPF)44cによって抽出し、このワンダ成分信号をA/D変換器44dによって所定のサンプリング周期(例えば12.5mS)でサンプリングしてディジタル値に変換し、これをTIEデータとしてTDEV演算部45に出力する。

【0047】

TDEV演算部45は、TIE検出部44から出力されるTIEデータについて前記したTDEVの演算を行う。

【0048】

表示制御手段46は、誤り測定部42の測定結果Eを表示装置47に表示するとともに、TDEV測定部43の測定結果を、前記したワンダ発生装置21の規定のTDEV特性と対比できるように表示装置47に表示する。

【0049】

このように構成されているので、このデジタル回線試験装置20は、試験対象のデジタル回線1のワンダについての評価を容易に且つ効率的に行なうことができる。

【0050】

また、このデジタル回線試験装置20は、その出力端子20aと入力端子20bとを直結すれば、ワンダ発生装置21が発生するクロック信号CK1のTDEV特性を測定することができ、表示制御手段47はこの測定結果を規定のTDEVマスクと対比できるように表示装置47に表示することもできる。

【0051】

なお、このデジタル回線試験装置20は、上記したように、ワンダ発生装置21から出力されたワンダのあるクロック信号に同期したデジタル信号を送信部40を介して試験対象のデジタル回線1へ出力し、試験対象のデジタル回線を経由したデジタル信号のクロック信号成分を受信部41を介して再生し、そのクロック信号のワンダのタイムデピエーション特性をTDEV測定部44によって求めている。したがって、このデジタル回線試験装置20のワンダ発生装置21および送信部40は、本発明の請求項8のワンダ発生部に相当し、受信部41およびTDEV測定部44は、本発明の請求項8のワンダ測定部に相当している。

【0052】

次に、ワンダ発生装置21の構成について説明するが、この構成の説明の前に、その概要を説明する。

【0053】

このワンダ発生装置21は、TDEV特性に対応する周波数変動の電力スペクトル密度分布特性に基づいて、このTDEV特性のワンダを有するクロック信号を発生している。

【0054】

即ち、ワンダのTDEV(τ) (ns) の特性と、そのワンダの時間変動の電力スペクトル密度分布 $S_x(f)$ (ns^2/Hz) との間には、次の関係が成立することが知られている。

【0055】

$$S_x(f) = (0.75/f) [TDEV(0.3/f)]^2$$

【0056】

例えば、前記図41の(b)に示したTDEVマスクM2のような特性では、積分時間が τ_1 まではTDEV(τ)が一定であるから、図3のように、周波数が $0.3/\tau_1 = f_2$ を超える範囲の電力スペクトル密度分布 $S_x(f)$ は $1/f$ に比例して減少し、積分時間が τ_1 から τ_2 までの範囲ではTDEV(τ)が τ に比例($1/f$ に比例)して増加するので、周波数が $0.3/\tau_1 \sim 0.3/\tau_2 (= f_1)$ の範囲の $S_x(f)$ は $(1/f) \cdot (1/f)^2 = 1/f^3$ に比例

して減少し、積分時間が τ_2 を超える範囲では、TDEV(τ)が $\tau^{1/2}$ に比例($1/f^{1/2}$ に比例)して増加する特性では周波数が f_1 より低い範囲では $S(f)$ は $(1/f) \cdot (1/f) = 1/f^2$ に比例して減少する。

【0057】

一方、時間変動の電力スペクトル密度分布特性 $S_x(f)$ と周波数変動の電力スペクトル密度分布特性 $S_y(f)$ との間には

$$S_y(f) = \omega^2 \cdot S_x(f) = (2\pi f)^2 \cdot S_x(f)$$

の関係があることが知られている。

【0058】

つまり、前記した時間変動の電力スペクトル密度分布特性 $S_x(f)$ は、図4に示すように、周波数 f_1 までは一定で、周波数 $f_1 \sim f_2$ の範囲では-3dB/octで減少し、周波数 f_2 を超える範囲では3dB/octで増加する周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に対応している。

【0059】

そこで、このワンダ発生装置21では、周波数について一様分布する白色雑音に対してフィルタリング処理を行って、図4の電力スペクトル密度分布特性 $S_y(f)$ の揺らぎ信号列 $y(k)$ を発生させ、これを後述するDDS30によって積分することで、前記のTDEVマスク特性のクロック信号を得ている。

【0060】

また、このフィルタリング処理をデジタルの白色雑音信号列に対して行うために、図4の特性 $S_y(f)$ に近似する伝達関数のインパルス応答を求め、このインパルス応答の演算によって得られたタップ係数と白色雑音信号列との畳込み演算を行っている。

【0061】

次に、ワンダ発生装置21の具体的な構成について説明する。このワンダ発生装置21は、図5に示すように、中心周波数設定手段22、特性情報設定手段23、揺らぎ信号列発生部24、加算器29、DDS(ダイレクトデジタルシンセサイザ)30、クロック信号出力回路31によって構成されている。

【0062】

中心周波数設定手段22は、出力するクロック信号CK1の中心周波数（例えば2MHz）、即ち、DDS30の出力信号の中心周波数を決めるデータ Y_0 を設定するためのものである。

【0063】

~~特性情報設定手段23は、出力したい所望のTDEVマスク特性に対応する電力スペクトル密度分布特性 $S_y(f)$ の形状や折れ曲がり点の周波数情報等の特性情報を設定するためのものである。~~

【0064】

揺らぎ信号列発生部24は、特性情報設定手段23によって設定された特性情報に基づいて、白色雑音に対するフィルタリング処理を行い、所望のTDEVマスク特性に対応する周波数変動の電力スペクトル密度分布特性 $S_y(f)$ を満足する揺らぎ信号列 $y(k)$ を発生する。

【0065】

加算器29は、中心周波数設定手段22によって設定されたデータ Y_0 と揺らぎ信号発生部24から出力される揺らぎ信号列 $y(k)$ とを加算し、その加算結果 $u(k)$ をDDS30に出力する。

【0066】

DDS30は、加算器30aと、加算器30aの出力をクロック信号CK3に同期してラッチするラッチ回路30bと、正弦波データが連續したアドレス領域に予め記憶されラッチ回路30bの出力で指定されたアドレスのデータを読み出す波形メモリ30cと、波形メモリ30cから読み出されたデータをアナログ信号に変換するD/A変換器30dとからなり、加算器29から出力される値に対応した周波数の階段波状の信号を出力する。

【0067】

このDDS30のクロック信号CK3は、クロック信号CK1に比べてはるかに高速（例えば50MHz程度）であり、ここでは、加算器29から出力される値 $u(k)$ に等しい周波数の信号を出力できるように、波形メモリ30aのアドレス数、クロック信号CK3の周波数が予め設定されているものとする。

【0068】

DDS30の出力信号はクロック信号出力回路31に入力される。クロック信号出力回路31は、DDS30の出力信号を波形整形してクロック信号CK1を出力するために、DDS30から出力される階段波状の信号をデータ Y_0 に対応する帯域通過フィルタ(BPF)31aによって正弦波に変換してコンパレータ31bに入力する。コンパレータ31bは、低域通過フィルタ31aから出力される正弦波信号としきい値 V_r とを比較し、正弦波信号がしきい値 V_r より小のときローレベル、正弦波信号がしきい値 V_r 以上のときハイレベルとなる2値化されたクロック信号CK1を出力する。

【0069】

ここで、DDS30およびクロック信号出力回路31は、後述するように、揺らぎ信号列発生部24の畳込み演算手段28から出力される揺らぎ信号列 $y(k)$ によって周波数が変調されたクロック信号を生成する。したがって、DDS30およびクロック信号出力回路31は、本発明の請求項1のクロック発生手段に相当し、DDS30には本発明の請求項1の変調手段に相当する部分が含まれている。

【0070】

一方、揺らぎ信号列発生部24は、白色雑音信号 $n(k)$ を発生する雑音発生手段25と、特性情報設定手段23によって設定された特性情報とに基づいて、前記電力スペクトル密度分布特性 $S_y(f)$ に近似する伝達関数のインパルス応答の時間毎のタップ係数を演算するインパルス応答演算手段26と、このインパルス応答演算手段26によって算出された各時間毎のタップ係数を記憶するメモリ27と、雑音発生手段25から出力される白色雑音信号 $n(k)$ とメモリ27に記憶された各時間毎のタップ係数とによる畳込み演算を行い、前記相対電力スペクトル密度分布特性 S' を満足する揺らぎ信号列 $y(k)$ を発生する畳込み演算手段28とを備えている。

【0071】

この雑音発生手段25は、M系列の擬似ランダム信号に基づいて白色雑音信号 $n(k)$ を生成するものであり、その構成例を図6、図7に示す。

【0072】

図6の雑音発生手段25は、1組の擬似ランダム信号発生回路からなり、複数P段直列のシフトレジスタ25aと、シフトレジスタ25aの所定段(Pによって決まる)の出力同士の排他的論理和をとるEXOR回路25bとからなり、シフトレジスタ25aに全ビット0でない初期値をセットして、クロック信号CK4を受ける毎に各段の1ビットデータをシフトさせるように構成されており、P段のうちの任意のm段(例えば8段)の出力をmビット並列の白色雑音信号n(k)として順次出力する。

【0073】

また、図7の雑音発生手段25は、より理想の白色雑音に近似した白色雑音信号を生成するために、前記したシフトレジスタ25aとEXOR回路25bからなる擬似ランダム信号発生回路をm組設け、初期値設定手段25cによってシフトレジスタ $25a_1 \sim 25a_m$ にそれぞれ異なる初期値(全ビット0でない)をセットして、クロック信号CK4を受ける毎に各シフトレジスタ $25a_1 \sim 25a_m$ がそれぞれ各段の1ビットデータをシフトさせるように構成され、各シフトレジスタ $25a_1 \sim 25a_m$ の一つ段の出力をまとめてmビット並列の白色雑音信号n(k)として順次出力する。

【0074】

なお、各シフトレジスタ $25a_1 \sim 25a_m$ に設定される初期値は、互いに十分離れているものとする。例えば、P段のシフトレジスタ $25a_1 \sim 25a_m$ をもつ擬似ランダム信号発生回路の場合、最大で $2^P - 1$ 通りの符号が得られるので、1組目のシフトレジスタ $25a_1$ には例えば全ビット1を初期値として設定し、2組目のシフトレジスタ $25a_2$ には、全ビット1の状態から約 $(2^P - 1) / m$ 回だけ進んだ値を初期値として設定し、3組目のシフトレジスタ $25a_3$ には、全ビット1の状態から約 $2(2^P - 1) / m$ 回だけ進んだ値を初期値として設定するというようにすれば、各シフトレジスタ $25a_1 \sim 25a_m$ の初期値は、ほぼ $(2^P - 1) / m$ 以上の差を持つことになり、Pがmに対して十分大きければ、各シフトレジスタ $25a_1 \sim 25a_m$ の出力は無相関なものとなり、これらを1ビットずつまとめてmビット並列にした白色雑音信号n(k)は理想の白色雑音にきわめて近いものとなる。

【0075】

なお、このように構成された雑音発生手段25は、シフトレジスタとEX-OR回路からなる擬似ランダム信号発生回路によって決まる所定のアルゴリズムにしたがって、複数ビットの乱数からなる雑音信号をクロック信号CK4によって決まる一定速度で順次出力するものである。したがって、この雑音発生手段25は、本発明の請求項1の乱数信号発生手段に相当しており、図7に示したように、複数組の擬似ランダム信号発生器の出力を合成したものは、本発明の請求項2の乱数信号発生手段に相当している。

【0076】

インパルス応答演算手段26は、特性情報設定手段23によって設定された特性情報に基づいて、電力スペクトル密度分布特性Sy(f)に近似する伝達関数のインパルス応答の時間毎のタップ係数h(t)を演算する。

【0077】

例えば、図4の特性Sy(f)のように、周波数f1までは一定で、周波数f1～f2の範囲では-3dB/octで減少し、周波数f2を超える範囲では3dB/octで増加する特性の伝達関数は、次の伝達関数H(f)で近似されることが知られている。

【0078】

$$H(f) = (1 + j f / f_2) / [1 + A b s (f / f_1)]^{1/2}$$

ただし、Abs(f/f1)はf/f1の絶対値を示す。

【0079】

そして、この伝達関数H(f)のインパルス応答h(t)は、

$$h(t) = -\infty \int^{\infty} H(f) e^{j 2 \pi f t} df$$

と表される。

【0080】

インパルス応答演算手段26は、前記図4のような特性の特徴と、その折れ曲がり部分の周波数(f1, f2等)とが特性情報として設定されると、上記インパルス応答h(t)をその設定値に基づいて演算する。

【0081】

図8は、前記伝達関数H(f)のインパルス応答h(t)の演算結果を示すものであり、 $t < 0$ の範囲ではインパルス応答h(t)は正で且つtの絶対値が大きい程0に近くなり、tの絶対値が0に近くなると急激に大きくなる。また、 $t > 0$ の範囲ではインパルス応答h(t)はtの絶対値が大きいほど正で0に近づき、tの絶対値が0に近くなると負になって急激に小さくなる。

【0082】

このインパルス応答演算手段26は、上記応答のT時間間隔のh(t)の値(タップ係数という)を求めるが、 $t = 0$ の特異点をとらないように初期時点 t_0 を $(-N/2)T + T/2 = -(N+1)T/2$ として、 $h(t_0 + rT)$ の値を、

$$-(N-1)T/2 \leq t \leq (N-1)T/2$$

の時間範囲でN個(Nを偶数とする)求めている。

【0083】

なお、この時間範囲は、この時間範囲内で正、この時間範囲外では0となる窓関数g(t)をインパルス応答h(t)に積算することによって制限している。

【0084】

このインパルス応答演算手段26によって算出された各時間毎のタップ係数 $h(t_0 + kT)$ はメモリ27に記憶される。

【0085】

畳込み演算手段28は、雑音発生手段25から出力される白色雑音信号 $n(k)$ とメモリ27に記憶された各時間毎のタップ係数 $h(t_0 + rT)$ とによる次式の畳込み演算を行い、前記電力スペクトル密度分布特性 $S_y(f)$ を満足する揺らぎ信号列 $y(k)$ を発生する。

【0086】

$$\begin{aligned} y(k) &= \sum_{r=0}^{N-1} n(k-r) h(t_0 + rT) \\ &= n(k) h(t_0) \\ &\quad + n(k-1) h(t_0 + T) \\ &\quad + n(k-2) h(t_0 + 2T) \end{aligned}$$

$$+ n (k-3) h (t_0 + 3T)$$

.....

$$+ n (k-N+1) h [t_0 + (N-1) T]$$

【0087】

ここで、上記畳込み演算は、入力される白色雑音信号 $n(k)$ と予め設定されたタップ係数 $h(t_0 + rT)$ との積和演算であり、この積和演算は、雑音発生手段 25 から出力される白色雑音信号 $n(k)$ に対しデジタル的なフィルタリング処理を行っていることと等価である。したがって、この畳込み演算手段 28 は、本発明の請求項 1、3、4 のフィルタ部に相当している。

【0088】

また、この畳込み演算手段 28 に設定されるタップ係数は、前記したように、所望のタイムデビエーション特性のワンダを得るために、特性情報設定手段 23 によって設定された特性情報に基づいてインパルス応答演算手段 26 が算出したものであり、このタップ係数によって畳込み演算手段 28 から出力される搖らぎ信号列 $y(k)$ のスペクトラム特性が決定される。したがって、特性情報設定手段 23 およびインパルス応答演算手段 26 は、本発明の請求項 1 の設定手段に相当している。

【0089】

ここで、上記畳込み演算を実際に行う場合、その演算順序を工夫することにより、誤差を少なくすることができる。

【0090】

即ち、タップ係数 $h(t_0 + rT)$ の絶対値は、 $t_0 + rT$ が 0 に近い領域で非常に大きく、0 から遠い領域では非常に小さいため、上記演算を浮動小数点で単純に時刻順に行うと、 $t_0 + rT$ が 0 に近い範囲まで積和演算が行われたときに、その演算結果の桁数が非常に大きくなってしまい、それ以後に行われる $t_0 + rT$ がプラスで且つ 0 から遠い領域の演算結果がアンダーフローしてしまい、精度が低下する。

【0091】

これを防ぐために、タップ係数の絶対値が小さい領域 (t が 0 から遠い領域)

の積和演算を優先的に行なってその演算結果の桁を高くしてから、タップ係数の絶対値が大きい領域（ t が 0 に近い領域）の積和演算を行うようとする。

【0092】

この演算順序は種々考えられるが、ここではその具体例を 2 つ説明する。

第 1 の方法は、 t が正の範囲の積和演算と t が負の範囲の積和演算とをそれぞれ独立に 0 から遠い方から順番に行い、両者を最後に加算するものである。

【0093】

即ち、以下の積和演算をそれぞれ前の項から後ろの項へ順番に行う。

$$\begin{aligned} y_-(k) = & n(k) h(t_0) \\ & + n(k-1) h(t_0 + T) \\ & + n(k-2) h(t_0 + 2T) \end{aligned}$$

.....

$$+ n(k-N/2+1) h[t_0 + (N/2-1)T]$$

$$\begin{aligned} y_+(k) = & n(k-N+1) h[t_0 + (N-1)T] \\ & + n(k-N+2) h[t_0 + (N-2)T] \\ & + n(k-N+3) h[t_0 + (N-3)T] \end{aligned}$$

.....

$$+ n(k-N/2) h[t_0 + (N/2)T]$$

【0094】

そして、最後に、

$$y(k) = y_-(k) + y_+(k)$$

の演算を行う。

【0095】

第 2 の方法は、 t が正の範囲と負の範囲の積和演算を 0 から遠い方から順番に且つ交互に行うものである。

【0096】

即ち、次の演算を前の項から後ろ項へ順番に行う。

$$\begin{aligned} y(k) = & n(k) h(t_0) \\ & + n(k-N+1) h[t_0 + (N-1)T] \end{aligned}$$

$+ n(k-1) h(t_0 + T)$
 $+ n(k-N+2) h[t_0 + (N-2)T]$
 $+ n(k-2) h(t_0 + 2T)$
 $+ n(k-N+3) h[t_0 + (N-3)T]$

$+ n(\underline{k-N/2+1}) h[\underline{t_0 + (N/2-1)T}]$
 $+ n(k-N/2) h[t_0 + (N/2)T]$

【0097】

このように、タップ係数の絶対値が小さい領域 (t が 0 から遠い領域) の積和演算を優先的に行なってその演算結果の桁を高くしてから、タップ係数の絶対値が大きい領域 (t が 0 に近い領域) の積和演算を行うことで、浮動小数点演算のアンダーフローによる精度の低下を防ぐことができる。

【0098】

また、上記畳込み演算を行う場合、メモリ 27 に記憶された N 個のタップ係数と、現段階の白色雑音信号 $n(k)$ とそれより $N-1$ 個前までの白色雑音信号 $n(k-1) \sim n(k-N+1)$ が必要となる。

【0099】

この $N-1$ 個の白色雑音信号 $n(k-1) \sim n(k-N+1)$ は、予めメモリに記憶しておいて読み出す方法と、雑音発生手段 25 として雑音信号を逆戻しきるものを用いて毎回発生する方法とが考えられるが、ここでは、前者の方法について説明し、後者の方法については後で説明する。

【0100】

前者のメモリを用いる方法では、雑音発生手段 25 または畳込み演算手段 28 のいずれかに、図 9 に示すように、m ビットの雑音信号をシフトクロック CK5 を受ける毎に順次後段へシフトさせながら記憶する $N-1$ 段 (N 段でもよい) のシフトレジスタ 50 をメモリとして設けておく。

【0101】

そして、初期段階に予め $N-1$ 個までの雑音信号 $n(k-1) \sim n(k-N+1)$ を前記雑音発生手段 25 から発生させてこのシフトレジスタ 50 に記憶して

おき、次に発生した雑音信号 $n(k)$ とシフトレジスタ 50 に記憶されている雑音信号 $n(k-1) \sim n(k-N+1)$ とを用いて前記畳込み演算を行ってから、シフトクロック CK5 を与えてこの雑音信号 $n(k)$ をシフトレジスタ 50 に記憶させ、次の雑音信号 $n(k+1)$ が発生したときに、この雑音信号 $n(k+1)$ とシフトレジスタ 50 に記憶されている雑音信号 $n(k) \sim n(k-N+2)$ を用いて上記畳込み演算を行うという動作を繰り返す。

【0102】

なお、このときのシフトクロック CK5 は、雑音発生手段 25 のクロック信号 CK4 と同期させる。

【0103】

このような畳込み演算を行うことによって得られた揺らぎ信号列 $y(k)$ は、前記したように、加算器 29 に入力されて中心周波数を決めるデータ Y_0 と加算され、その加算結果 $u(k)$ が DDS30 に入力される。

【0104】

DDS30 では、加算器 29 から出力された加算結果 $u(k)$ を高速（クロック信号 CK2 の速度）で累積（積分）しながら波形メモリ 30c のデータを読み出す。

【0105】

このため、例えば図 10 の (a) のように揺らぎ信号列 $y(k)$ が正のときは、図 10 の (c) のようにクロック信号 CK1 の周波数が Y_0 より $y(k)$ 分高くなつて、その位相が図 10 の (b) の基準位相に対して揺らぎ信号列 $y(k)$ の累積分だけ進んでゆき、揺らぎ信号列 $y(k)$ が負のときには、クロック信号 CK1 の周波数が Y_0 より $y(k)$ 分低くなつて、その位相が基準位相に対して揺らぎ信号列 $y(k)$ の負の累積分だけ遅れていく。

【0106】

つまり、クロック信号 CK1 は、揺らぎ信号列 $y(k)$ の積分結果に相当する位相変動を受けて周波数が変調されることになり、このクロック信号 CK1 の時間変動の電力スペクトル密度分布特性を前記特性 Sx(f) に近似させることができ、前記 TDEV マスク M2 のワンダを有するクロック信号 CK1 を発生する

ことができる。

【0107】

このように構成されたワンダ発生装置21から出力されたクロック信号CK1は、前記したように送信部40に入力され、このクロック信号CK1に同期したデジタル信号Saが試験対象のデジタル回線1へ送出される。

【0108】

そして、このデジタル回線1から折り返されてくるデジタル信号Sa'が受信部41で受信され、その誤り率が誤り測定部42で測定されるとともに、受信部41で再生されたクロック信号CK1'のTDEVがTDEV測定部43によって測定される。

【0109】

誤り測定部42の測定結果Eは、表示制御手段46によって表示装置47に例えば数値で表示され、TDEV測定部43の測定結果は、例えば図11の特性F1またはF2のように、規定のTDEV特性(TDEVマスクM2)と対比できるように表示される。

【0110】

なお、図11の特性F1のようにTDEVマスクM2より低いTDEV特性が測定された場合には、デジタル回線1においてワンダが抑圧されていることが判り、図11のTDEV特性F2のようにTDEVマスクM2より高いTDEV特性が測定された場合には、デジタル回線1においてワンダが増加していることが判る。

【0111】

前記説明では、TDEVマスクM2に対応した電力スペクトル密度分布特性Sy(f)の揺らぎ信号列を発生させるためのフィルタの伝達関数として、

$$H(f) = (1 + j f / f_2) / [1 + A b s (f / f_1)]^{1/2}$$

を用いて近似しているが、この伝達関数の絶対値の平方 $|H(f)|^2$ は、図12に示すように、理想の電力スペクトル密度分布特性Sy(f)に対して、その折れ曲がり部分と上限周波数部分で誤差が発生し、この誤差によって、クロック信号CK1のTDEV特性M2'は、図13のように規定のTDEVマスクM2

に対して τ_1 、 τ_2 および τ が 0 に近い部分で誤差が生じる。

【0112】

この誤差は補正関数を用いて補正することができる。

この補正関数 $W(f)$ としては、例えば図 14 に示すように、 f_1 に近い周波数 f_1' を中心とする帯域 B_1 で増大しその周波数 f_1' でピーク (A_1) となり、 f_2 に近い周波数 f_2' を中心とする帯域 B_2 で減少しその周波数 f_2' でボトム (A_2) となり、上限周波数 (10 Hz) に近い周波数 f_3' を中心とする帯域 B_3 で増大しその周波数 f_3' でピーク (A_3) となり、他の部分では一定となる特性の関数を用いる。

【0113】

このような特性の補正関数 $W(f)$ の一般式は、次のように表される。

$$\begin{aligned} W(f) = & 1 + A_1 \{ \exp [- ((f - f_1') / B_1)^2] / 2 \\ & + A_1 \{ \exp [- ((f + f_1') / B_1)^2] / 2 \\ & + A_2 \{ \exp [- ((f - f_2') / B_2)^2] / 2 \\ & + A_2 \{ \exp [- ((f + f_2') / B_2)^2] / 2 \\ & + A_3 \{ \exp [- ((f - f_3') / B_3)^2] / 2 \\ & + A_3 \{ \exp [- ((f + f_3') / B_3)^2] / 2 \end{aligned}$$

【0114】

この補正関数 $W(f)$ と前記伝達関数 $H(f)$ との積算によって得られる補正伝達関数 $H(f)'$ の絶対値の平方 $|H(f)'|^2$ は、図 15 のように、理想の電力スペクトル密度分布特性 $S_y(f)$ にさらによく近似する。

【0115】

したがって、インパルス応答演算手段 26において、前記した伝達関数 $H(f)$ のインパルス応答 $h(t)$ と、この補正関数 $W(f)$ のインパルス応答 $w(t)$ および窓関数 $g(t)$ とを用いて、

$$h'(t) = \{ h(t) * w(t) \} \cdot g(t)$$

の演算を行ってタップ係数を求め、このタップ係数を用いて畳込み演算を行うようすれば、図 16 に示すように、クロック信号 CK1 の TDEV 特性 $M2''$ を、規定の TDEV マスク $M2$ にさらに近似させることができ、より確度の高い測

定が可能となる。

【0116】

また、前記説明では、白色雑音信号 $n(k)$ とタップ係数 $h(t_0 + rT)$ をメモリ27およびシフトレジスタ50から読み出して畳込み演算を行う場合について説明したが、前記したように、雑音発生手段25として擬似ランダム信号を逆順に発生できるものを用いることにより前記シフトレジスタ50を用いることなく畳込み演算が行え、また、この逆順が可能な雑音発生手段25を用いるとともに、インパルス応答演算手段26がタップ係数を指定した順に算出するよう構成しておけば、メモリ27およびシフトレジスタ50を用いることなく畳込み演算が行え、メモリを大幅に節約でき、装置のハードウェア構成を簡素化できる。

【0117】

ここで、擬似ランダム信号を正順と逆順で発生する雑音発生手段25は、正順の生成多項式に対する相反多項式を用いることで実現できる。

【0118】

以下、この原理を擬似ランダム信号の符号周期が短いもので説明する。

例えば正順の生成多項式 $p(x)$ が次式、

$$p(x) = x^4 + x + 1$$

とすると、その相反多項式 $q(x)$ は次式のようになる。

【0119】

$$\begin{aligned} q(x) &= x^4 p(x^{-1}) \\ &= x^4 - 4 + x^4 - 1 + x^4 \\ &= x^4 + x^3 + 1 \end{aligned}$$

【0120】

この生成多項式 $p(x)$ と相反多項式 $q(x)$ を用いた雑音発生手段25の例を図17に示す。

【0121】

この雑音発生手段25は、4段のシフトレジスタ25aと、シフトレジスタ25aの3段目 (x^1) と4段目 (x^0) の出力の排他的論理和をとる正順用のE

XOR回路25bと、シフトレジスタ25aの1段目(x^3)と4段目(x^0)の出力の排他的論理和をとる逆順用のEXOR回路25dと、EXOR回路25aとEXOR回路25dの出力を選択的に1段目に戻すスイッチ25eとによって構成されており、図示しない制御回路によってスイッチ25eの切り換えとクロック信号CK4'の入力がなされる。

【0122】

この雑音発生手段25において、初期値として全段に1を設定してからスイッチ25eを正順側に接続してクロック信号CK4'を入力したときには、図18の(a)に示すようにシフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るという動作が繰り返される。

【0123】

また、初期値として全段に1を設定してからスイッチ25eを逆順側に接続して、クロック信号CK4'を入力したときには、図18の(b)に示すようにシフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るという動作が繰り返される。

【0124】

ここで、正順の場合の状態1から状態15までの1段目の出力データは、

【100010011010111】

の順に変化し、逆順の場合の状態1～状態15までの1段目の出力データは、

【101011001000111】

の順に変化する。

【0125】

この1段目同士の出力データを比較すると、正順の出力データは、逆順の出力データの第13ビット目から第1ビット目まで戻り、第15ビット目、第14ビット目に移った場合と一致する。

【0126】

即ち、正順の場合の1段目のデータが、図19の(a)に示すように、

$d_1 \rightarrow d_2 \rightarrow d_3 \rightarrow \dots \rightarrow d_{13} \rightarrow d_{14} \rightarrow d_{15} \rightarrow d_1 \rightarrow \dots$

と繰り返すのに対し、逆順の場合の1段目のデータは、図19の(b)に示すよ

うに、

$d_1 3 \rightarrow d_1 2 \rightarrow d_1 1 \rightarrow \dots \rightarrow d_1 \rightarrow d_1 5 \rightarrow d_1 4 \rightarrow d_1 3 \rightarrow \dots$

と繰り返す。

【0127】

したがって、スイッチ25eを正順側に接続してクロックCK4'を入力したときの1段目の出力データ列に対して、スイッチ25eを逆順側に接続してクロックCK4'を入力したときの1段目の出力データ列は、逆の順に出力されることになる。

【0128】

ただし、図20の状態対応図に示すように、逆順の場合のシフトレジスタ25aの状態変化は、正順のときの逆になっていないので、データを正順で出力していた状態からスイッチ25eを逆順側に単純に切り換えただけでは、データの連續性を維持することはできない。

【0129】

このデータの連續性を維持するためには、図19のデータの位置関係と、図20の状態対応情報とを用いてシフトレジスタ25aの状態を設定する必要がある。

【0130】

例えば、正順で状態4までシフトしてEXOR回路25bからデータ d_5 を出力している状態から、 $d_4 \rightarrow d_3 \rightarrow d_2 \rightarrow \dots$ の順にデータを逆順に出力する場合について考えると、逆順でEXOR回路25dからデータ d_5 が出力されるのは逆順の状態8のときであるから、この状態8より一つ進んだ状態9から逆順でデータを出力すれば、 $d_4 \rightarrow d_3 \rightarrow d_2 \rightarrow \dots$ の順にデータを出力することができる。

【0131】

ここで、正順の状態4から逆順の状態9に移行する方法は2通りある。その一つは、逆順の状態9が正順の状態8と等しいことを利用するもので、図18で実線の矢印で示しているように、正順のままでクロック信号CK4'を与えて状態4から状態8まで進めて（この際雑音発生手段25から出力されるデータを d_5

のままに保持しておく)、逆順の状態9にしてからスイッチ25eを逆順側に切り換える方法である。

【0132】

また、もう一つの方法は、正順の状態4が逆順の状態12と等しいことを利用するもので、図18で一点鎖線の矢印で示しているように、正順の状態4からスイッチ25eを逆順側に切り換え、クロック信号CK4'を与えて逆順の状態12から状態9まで進める(この際雑音発生手段25から出力されるデータをd5のままに保持しておく)方法である。

【0133】

このように、スイッチ25eの切り換えとクロック信号CK'の供給を制御することで、正順の任意の状態から逆順にデータを出力することができ、また、詳述しないが、前記方法と逆の制御を行うことにより、逆順の任意の状態から正順にデータを出力することもできる。

【0134】

上記説明は理解しやすいように符号周期が短い場合で説明したが、上記した相反多項式を利用した正逆自在の雑音発生手段25は、符号周期が長いものについても全く同様に構成できる。

【0135】

例えば、正順の生成多項式p(x)が次式、

$$p(x) = x^9 + x^7 + x^6 + x^4 + x^3 + x^2 + 1$$

の場合、その相反多項式q(x)は次式のようになる。

【0136】

$$\begin{aligned} q(x) &= x^9 p(x^{-1}) \\ &= 1 + x^{9-7} + x^{9-6} + x^{9-4} + x^{9-3} + x^{9-2} - \\ &\quad x^9 \\ &= x^9 + x^4 + x^3 + x^2 + x^0 + x^{-1} \end{aligned}$$

【0137】

この生成多項式p(x)と相反多項式q(x)とを用いた擬似ランダム信号発生回路を図21に示す。

【0138】

この擬似ランダム信号発生回路は、96段のシフトレジスタ25aと、シフトレジスタ25aの最終段から数えて1段目(x^0)、3~5段目($x^2 \sim x^4$)、7段目(x^6)および8段目(x^7)の出力の排他的論理和をとる正順用のEXOR回路25bと、最終段から数えて1段目(x^0)、90段目(x^{89})、91段目(x^{90})および93~95段目($x^{92} \sim x^{94}$)の出力の排他的論理和をとる逆順用のEXOR回路25dと、EXOR回路25bとEXOR回路25dの出力を選択的に初段に戻すスイッチ25eとによって構成されており、前記同様に図示しない制御回路によってスイッチ25eの切り換えとクロック信号CK4'の供給制御がなされる。

【0139】

この図21の回路においても、前記の符号周期の短い場合と同様に、スイッチ25eを正順側に接続してクロックCK4'を入力したときの出力データ列に対して、スイッチ25eを逆順側に接続してクロックCK4'を入力したときの出力データ列は逆の順に出力され、スイッチ25eの切り換えとクロック信号CK'の供給を前記同様にデータの位置関係と状態対応図に基づいて制御することで、正順（または逆順）の任意の状態から逆順（または正順）に連続したデータを出力することができる。

【0140】

なお、上記説明では、シフトレジスタ25aの初段の出力について説明したが、他の段の出力についても正順と逆順の関係が得られるので、任意の段からデータを出力してもよい。ただし、異なる2つ以上の段から出力される並列データについては上記関係が成立しないので、上記した正逆自在の擬似ランダム信号発生回路は、図7に示したように、複数mの擬似ランダム信号発生回路から1ビットずつデータを出力してmビット並列の白色雑音信号を出力する雑音発生手段25の各擬似ランダム信号発生回路に適用される。

【0141】

このように、雑音発生手段25として白色雑音信号n(k)を逆順に発生できるものを用いれば、k番目の白色雑音信号n(k)を生成した後に、それより前

のN-1個の雑音信号n(k-1)～n(k-N+1)までを順番に発生することができ、前記メモリ50を用いないでも前記畳込み演算

$$\begin{aligned}y(k) = & n(k) h(t_0) \\& + n(k-1) h(t_0 + T) \\& + n(k-2) h(t_0 + 2T) \\& \dots\end{aligned}$$

$$+ n(k-N+1) h[t_0 + (N-1)T]$$

を行うことができる。

【0142】

また、この雑音信号の出力に合わせて、インパルス応答演算手段26がタップ係数をh(t₀)～h[t₀+(N-1)T]の順に算出すれば、メモリ27も不要となり、1組の積和演算回路で前記畳込み演算を行うことができる。

【0143】

また、前記したように、浮動小数点のアンダーフローによる誤差を防止するために畳込み演算を前記第1の方法、即ち、tが正の範囲の積和演算とtが負の範囲の積和演算とをそれぞれ独立に0から遠い方から順番に行う場合には、例えば先に逆順動作で雑音信号n(k)～n(k-N/2+1)までを発生してy-(k)を求め、次に、正順動作でn(k-N+1)～n(k-N/2)までを発生してy+(k)を求めてから両者を加算することによって、前記シフトレジスタ50を用いないでも揺らぎ信号列y(k)求めることができる。

【0144】

この場合でも、この雑音信号列の出力に合わせて、インパルス応答演算手段26が、タップ係数をh(t₀)～h[t₀+(N/2-1)T]の順および[t₀+(N-1)T]～h[t₀+(N/2)T]の順に算出すれば、メモリ27も不要となり、1組の積和演算回路で前記畳込み演算を行うことができる。

【0145】

なお、前記説明では、規定のTDEV特性として図24の(b)のTDEVマスクM2のような特性のワンダを有するクロック信号を発生する場合について説明したが、これは本発明を限定するものでない。

【0146】

例えば、図24の(a)のTDEVマスクM1のような特性のワンダを有するクロック信号を発生する場合には、このTDEVマスクM1の特性情報、そのマスクに対応する電力スペクトル密度分布、伝達関数H(f)、補正関数W(f)を用いて前記同様のフィルタリング処理を行えばよい。

【0147】

また、TDEVマスクは、上記したものだけでなく、折れ曲がり部が3箇所以上あるものや、傾きが異なるものがあるが、これらのマスクについても、前記同様に、そのマスクに対応する電力スペクトル密度分布、伝達関数H(f)、補正関数W(f)を用いて前記同様のフィルタリング処理を行えばよい。

【0148】

また、前記ワンダ発生装置21では、揺らぎ信号y(k)を直接加算器29に入力していたが、図22に示すワンダ発生装置21'のように、揺らぎ信号列発生部24から出力された揺らぎ信号y(k)と、レベル設定手段32によって設定された設定値Bとを乗算器33で乗算し、その乗算結果y(k)'を加算器29に出力するように構成して、揺らぎ信号のレベルを可変できるようにしてもよい。

【0149】

このように、実施形態のワンダ発生装置21は、所望のタイムデビエーション特性の特性情報に基づいて、そのタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列y(k)を発生し、この揺らぎ信号列y(k)と出力するクロック信号の中心周波数を決めるデータY₀とを加算器29で加算し、その加算結果に対応した周波数の信号をDDS30から出力させ、このDDS30の出力信号を波形整形してクロック信号CK1を出力するようにしている。

【0150】

このため、所望のタイムデビエーション特性を満足するワンダを有するクロック信号CK1を容易に発生することができる。

【0151】

また、揺らぎ信号列発生部24を、擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段25と、特性情報設定手段22によって設定された特性情報に基づいて、雑音発生手段25から出力された白色雑音信号の電力スペクトル密度分布を、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段26と、インパルス応答演算手段26の演算結果と雑音発生手段25から出力される白色雑音信号との畳込み演算を行い、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生する畳込み演算手段28とによって構成している。

【0152】

このようにデジタル的に揺らぎ信号列 $y(k)$ を生成しているので、所望のタイムデビエーション特性を満足するワンドアを有するクロック信号CK1を精度よく発生することができる。

【0153】

また、インパルス応答演算手段26が、周波数変動の電力スペクトル密度分布特性 $S_y(f)$ と伝達関数との誤差分に対応する補正関数 $W(f)$ によってインパルス応答を補正しているものでは、所望のタイムデビエーション特性を満足するワンドアを有するクロック信号CK1をさらに精度よく発生することができる。

【0154】

また、畳込み演算手段28が、インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うようにしたものでは、浮動小数点演算の際の誤差を少なくすることができ、所望のタイムデビエーション特性を満足するワンドアを有するクロック信号CK1をさらに精度よく発生することができる。

【0155】

また、インパルス応答演算手段26が、雑音発生手段25から白色雑音信号が出力される毎にインパルス応答の演算を毎回行うように構成され、畳込み演算手段28が、インパルス応答演算手段26によって毎回算出される演算結果を用いて畳込み演算を行うようにしたものでは、メモリを節約でき、装置のハードウェ

ア構成を簡素化できる。

【0156】

また、雑音発生手段25が、それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、各擬似ランダム信号発生手段の所定段の出力をまとめて m ビット並列の白色雑音信号として出力するように構成されたものでは、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

【0157】

前記実施形態のワンダ発生装置21の揺らぎ信号列発生部24は、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に相当する伝達関数のインパルス応答を演算し、この演算結果と白色雑音信号との畳込み演算を行うことで、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生していたが、この揺らぎ信号列発生部24の代わりに、図23に示す揺らぎ信号列発生部24'を用いることもできる。

【0158】

この揺らぎ信号列発生部24'は、前記した雑音発生手段25と、データ振分手段51と、重み付け手段54と、合成手段56とによって構成され、所望のTDEV特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を複数の帯域に分割して、雑音発生手段25から出力される白色雑音信号をデータ振分手段51によって各帯域に応じたレートで振り分け、重み付け手段54によって各帯域毎の電力スペクトル密度に対応した重み付けをし、合成手段56によって合成することで、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を生成している。

【0159】

ここで、TDEVマスクM2に対応した電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を複数の帯域に分ける場合について説明する。

【0160】

この特性 $S_y(f)$ は0.01Hz以下で一定であり、0.01Hz~10H

z の範囲で $1/f$ または f に比例して変化するので、 $0.01\text{Hz} \sim 10\text{Hz}$ をカバーする範囲に各帯域の境界がくるようにし、また各帯域の幅が 2 倍ずつ大きくなるように分割する。

【0161】

例えば、最も高い境界周波数 f_{c1} を 16Hz とすると、高い方から 2 番目の境界周波数 f_{c2} が 8Hz 、3 番目の境界周波数 f_{c3} が 4Hz となり、同様にして、11 番目の境界周波数 f_{c11} は $1/64\text{Hz}$ 、12 番目の境界周波数 f_{c12} は $1/128\text{Hz}$ (0.0078Hz) となり、12 個の境界周波数 $f_{c1} \sim f_{c12}$ で 13 個の帯域に分ければよい。

【0162】

そこで、雑音発生手段 25 からは最高の境界周波数 f_{c1} の 2 倍 (32Hz) のレートで白色雑音信号 $n(k)$ を発生させ、データ振分手段 51 は、この白色雑音信号 $n(k)$ を上記各帯域の周波数に応じてレートが $1/2$ ずつ低くなるよう 13 の信号経路に振り分ける。

【0163】

データ振分手段 51 は、例えば図 24 に示すように、入力信号の立ち下がりで出力が立ち上がる直列に接続された 13 個の $1/2$ 分周器 $52_1 \sim 52_{13}$ と、各 $1/2$ 分周器 $52_1 \sim 52_{13}$ の分周出力の立ち上がりで雑音信号 $n(k)$ をラッチする 13 個のラッチ回路 $53_1 \sim 53_{13}$ とで構成されており、雑音信号 $n(k)$ と同期したクロック信号 CK_n が初段の $1/2$ 分周器 52_1 に入力される。

【0164】

したがって、雑音発生手段 25 から、例えば図 25 の (a) のクロック信号 CK_n に同期した雑音信号 $n(k)$ が $n(1), n(2), \dots$ の順に出力されると、図 25 の (c) のようにクロック信号 CK_n の立ち下がりで立ち上がる $1/2$ 分周信号がラッチ回路 53_1 に入力されるため、ラッチ回路 53_1 からは図 25 の (d) のように、奇数番目の雑音信号 $n_1 [n(1), n(3), n(5), \dots, n(1+2i), \dots]$ がクロック信号 CK_n の $1/2$ のレート (16Hz) で出力される。

【0165】

また、ラッチ回路 53_2 には、図25の(e)のように、 $1/2$ 分周信号の立ち下がりに同期して立ち上がる $1/4$ 分周信号が入力されるため、ラッチ回路 53_2 からは、図25の(f)のように $n(2)$ から4個間隔の雑音信号 n_2 [$n(2), n(6), n(10), \dots, n(2+4i), \dots$] がクロック信号CK n の $1/4$ のレート(8Hz)で出力される。

【0166】

また、ラッチ回路 53_3 には、図25の(g)のように、 $1/4$ 分周信号の立ち下がりに同期して立ち上がる $1/8$ 分周信号が入力されるため、ラッチ回路 53_3 からは、図25の(h)のように $n(4)$ から8個間隔の雑音信号 n_3 [$n(4), n(12), n(20), \dots, n(4+8i), \dots$] がクロック信号CK n の $1/8$ のレート(4Hz)で出力される。

【0167】

以下同様に、各ラッチ回路 $53_4 \sim 53_{13}$ からは、雑音発生手段25から出力された雑音信号について、16個間隔、32個間隔、…、 2^{13} 個間隔の雑音信号 n_4, n_5, \dots, n_{13} が、クロック信号CK n の $1/16, 1/32, \dots, 1/2^{13}$ のレートでそれぞれ出力されることになる。

【0168】

この各レートの雑音信号 $n_1 \sim n_{13}$ は、図24に示しているように、重み付け手段54の13個の乗算器 $55_1 \sim 55_{13}$ に入力され、それぞれ重み付けの係数 $\sigma_1 \sim \sigma_{13}$ が乗算される。

【0169】

この重み付けの係数 $\sigma_1 \sim \sigma_{13}$ は、上記境界周波数 $f_{c1} \sim f_{c12}$ で分割される電力スペクトル密度分布特性 $S_y(f)$ の各帯域のスペクトルの大きさの平方根に比例した値であり、特性情報設定手段23から設定される。

【0170】

ここで、例えば、特性情報設定手段23は、図26のように最も低い帯域($1/128\text{Hz}$ 以下)のスペクトルのレベルに対応した係数 σ_{13} を基準値1とし、他の重み付け係数 $\sigma_1 \sim \sigma_{12}$ を電力スペクトル密度分布特性 $S_y(f)$ に合

わせて以下のように設定する。

【0171】

$$\sigma_{12}^2 = 1$$

$$\sigma_{11}^2 = 1/2$$

$$\sigma_{10}^2 = 1/4$$

$$\sigma_9^2 = 1/8$$

$$\sigma_8^2 = 1/16$$

$$\sigma_7^2 = 1/8$$

$$\sigma_6^2 = 1/4$$

$$\sigma_5^2 = 1/2$$

$$\sigma_4^2 = 1$$

$$\sigma_3^2 = 2$$

$$\sigma_2^2 = 4$$

$$\sigma_1^2 = 8$$

【0172】

このようにして重み付けされた雑音信号 $n_{1'} \sim n_{13'}$ は合成手段56に入力される。合成手段56は、図27に示すようにカスケード接続された12個のポリフェーズ型のサブバンド合成器（QMF合成器） $57_1 \sim 57_{12}$ によって構成されている。

【0173】

各サブバンド合成器 $57_1 \sim 57_{12}$ は、カットオフ周波数 f_c が等しいハイパスフィルタとローパスフィルタ（ともにデジタルフィルタ）の出力を合成して出力するものである。

【0174】

各サブバンド合成器 $57_1 \sim 57_{12}$ のカットオフ周波数は、前記電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を分割する境界周波数 $f_{c1} \sim f_{c2}$ に一致している。

【0175】

この合成手段56は、図28に示すように各雑音信号 $n_{1'} \sim n_{13'}$ を合成

する。

【0176】

即ち、カットオフ周波数が最も低いサブバンド合成器 57_{12} は、雑音信号 $n_{13'}$ の高域と雑音信号 $n_{12'}$ の低域を周波数 f_{c12} でカットして合成した成分をサブバンド合成器 57_{11} に入力し、サブバンド合成器 57_{11} は、サブバンド合成器 57_{12} の出力の高域と雑音信号 $n_{11'}$ の低域を周波数 f_{c1} でカットして合成した成分をサブバンド合成器 54_{11} に入力する。

【0177】

以下同様に、各レートの重み付けされた雑音信号がレートの低い方から合成され、サブバンド合成器 57_1 からは前記周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に沿った特性の揺らぎ信号列 $y(k)$ が得られ、この揺らぎ信号列 $y(k)$ を、前記同様に加算器 29 に入力して中心周波数を決めるデータ Y_0 と加算して、その加算結果 $u(k)$ をDDS 30 に入力することで、前記TDEVマスクM 2 のクロック信号を発生することができる。

【0178】

図 30 の特性Mは、上記した揺らぎ雑音発生部 $24'$ を用いて生成したクロック信号のTDEV特性であり、TDEVマスクM 2 に極めて近似した特性が得られている。

【0179】

なお、ここではTDEVマスクM 2 に対応した電力スペクトル密度分布特性 $S_y(f)$ の揺らぎ信号を発生する場合について説明したが、この揺らぎ信号発生部 $24'$ では、分割帯域や重み付けの係数を任意に設定することで、任意の電力スペクトル密度分布の揺らぎ信号列を発生できる。

【0180】

また、この揺らぎ信号列発生部 $24'$ のデータ振分手段 51 として、図 30 に示すように、前記合成手段 56 の各サブバンド合成器 $57_1 \sim 57_{12}$ とは逆に、入力信号を等しいカットオフ周波数のハイパスフィルタとローパスフィルタとで分波するサブバンド分波器 $58_1 \sim 58_{12}$ を各サブバンド合成器 $57_1 \sim 57_{12}$ と対称にカスケートに接続して、前記したようにレートの異なる雑音信号

$n_1 \sim n_{13}$ を並列に出力するようにしてもよい。

【0181】

この場合、各サブバンド分波器 $58_1 \sim 58_{12}$ のカットオフ周波数は、サブバンド合成器 $57_1 \sim 57_{12}$ のカットオフ周波数と同一に設定する。

【0182】

~~このように、電力スペクトル密度分布特性 $S_A(f)$ の周波数範囲を複数に分割する帯域の周波数に応じたレートで雑音信号を並列に出力して、各帯域毎の電力スペクトル密度に応じた重み付けを行って合成することで揺らぎ信号列を発生するものでは、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができ、インパルス応答の演算が困難な複雑なTDEVマスク特性のクロック信号を容易に発生することができる。~~

【0183】

なお、この場合も雑音発生手段25として、前記したように、それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されたものを用いることで、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデピエーション特性を満足するワンドを有するクロック信号をさらに精度よく発生することができる。

【0184】

~~また、上記揺らぎ信号列発生部24'は、雑音発生手段25から出力される信号列に対してデータ振分手段51、重み付け手段54および合成手段56によるフィルタリング処理を行っており、その処理結果のスペクトラム特性を決める重み付け係数 $\sigma_1 \sim \sigma_{12}$ を特性情報設定手段23から設定するようにしている。したがって、このデータ振分手段51、重み付け手段54および合成手段56は、本発明の請求項1、5のフィルタ部に相当し、特性情報設定手段23は本発明の請求項1、5の設定手段に相当している。~~

【0185】

このように、実施形態のワンド発生装置21は、所定のアルゴリズムにしたが

って、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック信号の周波数をフィルタ部から出力される信号によって変調する変調手段と、変調手段によって周波数が変調されたクロック信号のワンドの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えているので、所望のワンド特性のクロック信号を容易に発生することができる。

【0186】

また、実施形態のデジタル回線試験装置20は、規定のタイムデピエーション特性を満足するワンドを有するクロック信号CK1を発生するためのワンド発生装置21と、ワンド発生装置21から出力されたクロック信号CK1に同期したデジタル信号を試験対象のデジタル回線1に送出する送信部40と、試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、この受信したデジタル信号のクロック信号を再生する受信部41と、受信部41が受信したデジタル信号の誤り測定を行う誤り測定部42と、受信部41によって再生されたクロック信号CK1'のタイムデピエーション特性を測定するタイムデピエーション測定部43と、表示装置47と、誤り測定部42の測定結果を表示装置47に表示するとともに、タイムデピエーション測定部43で測定されたタイムデピエーション特性を規定のタイムデピエーション特性と対比できるように表示装置47に表示する表示制御手段46とを備えている。

【0187】

このため、試験対象のデジタル回線1のワンドに関する評価を容易に且つ効率的に行うことができ、また、デジタル回線1によるワンドの変化を表示画面上で容易に比較できる。

【0188】

また、実施形態のデジタル回線試験装置20は、ワンド発生部を構成するワンド発生装置21が前記したように構成されているので、所望のタイムデピエー

ション特性を満足するワンダを有するクロック信号CK1に同期したデジタル信号を試験対象のデジタル回線1に送出することができ、デジタル回線1の評価を正しく行うことができ、また、装置を小型化できる。

【0189】

次に、上記のように、雑音信号列に対しフィルタ部でデジタル的なフィルタリング処理を行い、その出力信号によって周波数が変調されたクロック信号を出力するワンダ発生装置において、装置の起動時や特性の切り換え時に、所望特性のワンダを有するクロック信号を速やかに出力させ、また、出力するクロック信号のワンダの特性やそのクロック信号を変調している信号の特性を事前に把握できるようにするための技術について説明する。

【0190】

即ち、上記のように、前記畳込み演算手段28あるいはデータ振分手段51、重み付け手段54、合成手段56によるフィルタリング処理は、入力される信号列を内部の複数の記憶素子に順次シフトしながら記憶するとともに、各記憶素子の内容と各記憶素子に対応した係数との積和演算を行い、その演算結果を順次出力する処理を含んでいる。

【0191】

したがって、前記したように任意の周波数特性を得るために、設定できる周波数分解能を高くする必要があり、そのためには、フィルタ次数を大きくする、即ち、内部の記憶素子の数を多くしなければならず、このように記憶素子の数を多くした場合、動作初期時や特性の切り換え時に、所望のワンダ特性の信号が出力されるまでの時間が非常に長くなる。

【0192】

また、このように出力するクロック信号のワンダの特性を任意に可変できるようにした場合、実際に出力されるクロック信号のTDEV特性がどのような特性であるかを予め確認できないと不便である。

【0193】

これを解決するために、実際に出力されるクロック信号や雑音信号を測定し、その測定結果を表示することも考えられるが、このようにクロック信号や雑音信

号を実際に測定する方法では、ワンダ発生装置としての構成が複雑化するとともに、測定する特性の内容によっては測定が完了するまで非常に時間（数時間～數十日）がかかってしまい、実現が困難である。

【0194】

そこで、次に、所望特性のワンダを有するクロック信号を速やかに発生でき、
また、実際に出力するクロック信号のランダム性やそのクロック信号を変調し
 ている信号の特性を容易に把握できるようにしたワンダ発生装置の詳細について
 説明する。

【0195】

図31は、上記問題を解決するためになされたワンダ発生装置に含まれる雑音
 発生装置120の構成を示している。

【0196】

この雑音発生装置120の白色雑音発生手段121は、デジタルの白色性の
 雜音信号n(k)を所定レートで出力する。

【0197】

この白色雑音発生手段121は、例えば図32に示すように、複数N（例えば
 $N = 12$ ）の擬似ランダム信号発生器122(1)～122(N)からクロック
 信号CKnに同期してシリアル出力される各Kビットのランダム信号を加算回路
 124で加算して $K + \lceil \log_2 N \rceil$ ビットとした白色雑音信号n(k)を出力
 する。ここで、上記の括弧記号〔〕は、小数を切り上げた整数値を表す。

【0198】

これら複数Nの擬似ランダム信号発生器122(1)～122(N)は、同一
 のS段シフトレジスタから生成される符号周期($2^S - 1$)の擬似ランダム信号
 を発生するものであるが、その出力の相関ピークが離間するように、制御回路1
 23によって出力符号の位相が大きく異なるように初期設定され、n(1)、n
 (2)、…、n($2^S - 2$)、n($2^S - 1$)までの雑音信号を1周期として、
 これを繰り返し出力する。

【0199】

このように、複数の擬似ランダム信号を加算して生成される白色雑音信号の瞬

時値はガウス分布特性に近似する。

【0200】

制御回路123は、後述の初期設定手段131からの雑音信号出力指示を受けて、擬似ランダム信号発生器122(1)～122(N)を初期化してクロック信号CKnを出力する。

【0201】

白色雑音発生手段121から出力された雑音信号n(k)は、フィルタ部125に入力される。フィルタ部125は、デジタル信号列を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有しており、白色雑音発生手段121から出力された雑音信号n(k)を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力する。

【0202】

ここで、例えばフィルタ部125が、図33に示すようなFIR型のデジタルフィルタ126によって構成されている場合について説明する。

【0203】

このデジタルフィルタ126は、入力データを順次後段へシフトしながら記憶する複数M段直列の記憶素子（遅延素子ともいう）127(1)～127(M)と、初段の記憶素子127(1)の入力データおよび各記憶素子127(1)～127(M)の出力データに対してフィルタ係数（この実施形態の特性係数） $h_0 \sim h_M$ をそれぞれ乗算する乗算器128(1)～128(M+1)と、乗算器128(1)～128(M+1)の出力の総和を求める加算器129とによって構成されている。

【0204】

各記憶素子127(1)～127(M)は雑音信号n(k)をそのクロック信号CKnに同期して順次シフトさせる。また、各記憶素子127(1)～127(M)は、後述の初期設定手段131から任意の値D(1)～D(M)をセットできるようになっている。

【0205】

また、乗算器128(1)～128(M+1)に入力されるフィルタ係数 h_0 ～ h_M は、後述の特性係数設定手段130によって設定される。

【0206】

このように構成されたFIR型のデジタルフィルタ126は、入力される雑音信号 $n(k)$ をフィルタ係数 h_0 ～ h_M に応じた周波数特性の雑音信号（前記揺らぎ信号列に相当）に変換して出力する。

【0207】

特性係数設定手段130は、フィルタ部125から出力される雑音信号 $u(k)$ の特性を決定するための特性係数（上記のようにフィルタ部125がデジタルフィルタ126のみで構成されている場合にはそのフィルタ係数）を設定するためのものであり、図示しない操作部等の操作によって任意の特性係数を設定できるようになっている。

【0208】

初期設定手段131は、メモリ（ROM）131aを有し、フィルタ部125から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ内の各記憶素子の記憶内容と同等の雑音信号列を、メモリ131aの内容に基づいて求めて、少なくとも装置の動作初期時にデジタルフィルタ内の各記憶素子に初期設定する。

【0209】

即ち、前記のようにフィルタ部125がデジタルフィルタ126のみによって構成されているような場合には、デジタルフィルタ126からフィルタ係数 h_0 ～ h_M に対応した周波数特性の雑音信号が出力されている状態における各記憶素子127(1)～127(M)の記憶内容と同等の雑音信号列を初期設定する。

【0210】

ここで、白色雑音発生手段121が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、その雑音信号 $n(1)$ より前のM個の雑音信号 $n(2^N-1)$ 、 $n(2^N-2)$ 、…、 $n(2^N-M)$ をそれぞれ初期値 $D(1)$ ～ $D(M)$ としてメモリ131aに予め記憶しておき、電源投入等の動作初期時に、図34に示

すように、デジタルフィルタ26の各記憶素子127(1)～127(M)にそれぞれ初期設定してから、白色雑音発生手段121へ雑音信号の出力を指示する。

【0211】

このため、動作初期時に、フィルタ部125の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部125からは、特性係数設定手段130から設定されたフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号が直ちに出力される。

【0212】

フィルタ部125から出力される雑音信号 $u(k)$ は、乗算器132に入力される。乗算器132は振幅設定手段133によって設定された振幅係数Aを雑音信号 $u(k)$ に乗算し、その乗算結果を所望特性の雑音信号 $y(k)$ として出力する。

【0213】

また、特性算出手段134は、フィルタ部125に設定された特性係数および乗算器132に設定された振幅係数Aとに基づいて、乗算器132から出力される雑音信号 $y(k)$ の周波数特性や振幅等を求める。

【0214】

特性表示手段135は、表示器136に特性算出手段134によって求められた雑音信号の特性をグラフや数値で表示する。

【0215】

このように構成された雑音発生装置120では、初期設定手段131によってフィルタ部125から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ126内の各記憶素子127(1)～127(M)の記憶内容と同等の雑音信号を、少なくとも装置の動作初期時に各記憶素子127(1)～127(M)に初期設定している。

【0216】

このため、白色雑音発生手段121からM個の雑音信号がフィルタ部125に取り込まれるまで待たなくても、直ちに特性係数に対応した周波数特性の雑音信

号をフィルタ部125から出力させることができ、この特性に合わない雑音信号の出力による測定等の影響をなくすことができる。

【0217】

また、特性算出手段134によって、特性係数設定手段130からフィルタ部125に設定された特性係数および振幅設定手段133の振幅係数Aに基づいて出力される雑音信号y(k)の特性を求め、その特性を特性表示手段135によって表示しているので、出力する雑音信号y(k)の特性を事前に且つ速やかに確認することができて便利である。

【0218】

前記説明では、フィルタ部125がディジタルフィルタ126のみで構成されている場合について説明したが、これは本発明を限定するものではない。

【0219】

例えば、フィルタ部125を図35に示すように、分波回路141と、重み付け回路143と、ディジタルフィルタを含む合成回路145とで構成することも可能である。

【0220】

分波回路141は、複数Pの1/2デシメート回路142(1)～142(P)がカスケード接続されて構成されている。

【0221】

各1/2デシメート回路142(1)～142(P)は、入力データされるデータを2つの出力経路に交互に振り分けて、入力レートの1/2のレートで出力する回路である。

【0222】

初段の1/2デシメート回路142(P)は、図36の(a)の雑音信号n(1)、n(2)、n(3)、…が入力されると、その一方の出力端子から、図36の(b)のように、奇数番目の雑音信号n(1)、n(3)、n(5)、…を出力し、他方の出力端子から偶数番目の雑音信号n(2)、n(4)、n(6)、…を出力する。この他方の出力端子から出力される雑音信号は、2段目の1/2デシメート回路42(P-1)に入力される。

【0223】

2段目の1/2デシメート回路142(P-1)も同様に、入力された雑音信号n(2)、n(4)、n(6)、…のうち、一方の出力端子から図36の(c)のように、雑音信号n(2)、n(6)、n(10)、…を出力し、他方の出力端子から雑音信号n(4)、n(8)、n(12)、…を出力する。この他方の出力端子から出力された雑音信号は、3段目の1/2デシメート回路142(P-2)に入力される。

【0224】

同様に、3段目の1/2デシメート回路142(P-2)の一方の出力端子からは、図36の(d)のように、雑音信号n(4)、n(12)、n(20)、…が出力され、他方の出力端子からは雑音信号n(8)、n(16)、n(24)、…が出力され、4段目の1/2デシメート回路142(P-3)の一方の出力端子からは、図36の(e)のように、雑音信号n(8)、n(24)、n(40)、…が出力され、他方の出力端子からは雑音信号n(16)、n(32)、n(56)、…が出力され、さらに各1/2デシメート回路142(P-4)～142(1)からは、出力レートが1/2ずつ低くなるように雑音信号が出力される。

【0225】

このように、各1/2デシメート回路142(1)～142(P)の一方の出力端子から異なるレートで出力される雑音信号n₁、n₂、n₃、…、n_{P+1}は、重み付け回路143の乗算器144(1)～144(P+1)にそれぞれ入力される。

【0226】

乗算器144(1)～144(P+1)は、入力される雑音信号n₁、n₂、n₃、…、n_{P+1}に対して、それぞれ重み付け係数(特性係数)σ₁、σ₂、σ₃…、σ_{P+1}を乗算して出力する。

【0227】

このように各レートの雑音信号n₁、n₂、n₃、…、n_{P+1}に対して重み付けを行うことで、このフィルタ部125から出力される雑音信号u(k)の周

波数特性を任意に設定することができる。

【0228】

例えば、図37に示すような重み付け（この図ではPが12）を行うことで、ワンダの評価に用いる特定のTDEVマスク特性に対応した電力スペクトル密度分布の位相揺らぎ（ワンダ）をもつクロック信号を生成することができる。この際、電力スペクトル密度分布は、αの2乗値の分布に従う。

【0229】

重み付けされた各レートの雑音信号 n_1' 、 n_2' 、 n_3' 、…、 n_{P+1}' は、合成回路45のサブバンド合成器146(1)～146(P)にそれぞれ入力される。

【0230】

各サブバンド合成器146(1)～146(P)は、前記したFIR型で遮断周波数が共通のLPF（ローパスフィルタ）とHPF（ハイパスフィルタ）とを内部に備えており、入力される2つのディジタル信号に対してインターpolation処理を行い、その一方（周波数が高い方）の入力に対してHPFで低域を遮断し、他方（周波数が低い方）の入力に対してはLPFで高域を遮断して、両フィルタの出力を合成して出力するように構成されている。

【0231】

サブバンド合成器146(1)～146(P)の内部のフィルタの遮断周波数は、最も周波数が低いサブバンド合成器146(1)の遮断周波数をfaとするど、 $2fa$ 、 $4fa$ 、 $8fa$ 、…、 $2^{P-1}fa$ の順に、入力する雑音信号のレートに対応して2倍ずつ高くなるように設定されており、レートの低い雑音信号から順に合成するように接続されている。

【0232】

即ち、図38に示すように、最もレートの2つの低い雑音信号 n_1' 、 n_2' はサブバンド合成器146(1)において遮断周波数faで合成され、その合成出力と雑音信号 n_3' とがサブバンド合成器146(2)において遮断周波数2faで合成され、その合成出力と雑音信号 n_4' とがサブバンド合成器146(3)において遮断周波数4faで合成される。

【0233】

以下同様にレートに低い雑音信号から順に合成されるため、サブバンド合成器146(P)からは、図38に示しているように、オクターブ幅の各帯域のレベルが重み付け係数に応じて変化する周波数特性の雑音信号 $u(k)$ が出力されることになる。

【0234】

このように分波回路141、重み付け回路143および合成回路145によって構成されたフィルタ部125の場合、合成回路145の各サブバンド合成器146のフィルタの遮断周波数は固定であるのでフィルタ係数を可変制御する必要はなく、フィルタの特性を決定する重み付け係数 $\sigma_1, \sigma_2, \sigma_3, \dots, \sigma_{P+1}$ を特性係数設定手段130から設定する。

【0235】

また、合成回路145のフィルタ(ディジタルフィルタ)内部の記憶素子に対して、初期設定手段131は、フィルタ部125から特性係数(この場合重み付け係数)に対応した周波数特性の雑音信号が出力されている状態における各記憶素子の記憶内容と同一特性の雑音信号列を、装置の動作初期時および重み付け係数変更時に初期設定する。

【0236】

ただし、この場合には、前記のように白色雑音発生手段121から出力される信号列を単純に代入できないので、白色雑音信号と特性係数設定手段130からの重み付け係数等の情報に基づいて、各フィルタの記憶素子に設定すべき初期値を算出して設定する。

【0237】

即ち、前記したように、白色雑音発生手段121が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、定常状態で白色雑音発生手段121が雑音信号 $n(1)$ を発生するときに、分波回路141から出力されている各雑音信号 $n_1 \sim n_{P+1}$ も既知であり、また、合成回路145の各サブバンド合成器146のフィルタの特性(伝達関数)も既知である。

【0238】

また、合成回路145の各サブバンド合成器146(1)～146(P)の内部のLPFとHPFの記憶素子を前記同様にともにM段とすると、最終段のサブバンド合成器146(P)のフィルタの各記憶素子に正規のM個の雑音信号が入力されるのは、初段のサブバンド合成器146(1)に $2^P \cdot M$ 個の雑音信号が入力されたときであり、このときの*i*番目(*i*は1～Pのいずれか)のサブバンド合成器146(*i*)のLPFのm段目(*m*は1～Mのいずれか)記憶素子の記憶値 $L_i(m)$ とHPFのm段目の記憶素子の記憶値 $H_i(m)$ は、

$$L_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot x_j(m)$$

$$H_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot y_j(m)$$

と表される。

【0239】

ここで、 $x_j(m)$ 、 $y_j(m)$ は、LPFとHPFの伝達関数と白色雑音発生手段121から出力される雑音信号から求まる定数列(重み付け係数を1としたときの定数列)であり、前記したように、LPFとHPFの伝達関数と白色雑音発生手段121から出力される雑音信号は既知である。

【0240】

したがって、定数列 $x_j(m)$ 、 $y_j(m)$ を予め求めてメモリ131aに記憶しておき、動作初期時や重み付け係数の変更時に、上記演算によってフィルタの初期値を求めて合成回路145の各サブバンド合成器146(1)～146(P)に設定すれば、直ちに所望の特性の雑音信号*u*(k)を出力することができる。

【0241】

上記の積和演算の総演算回数は、 $M[(P+1)^2 + (P+1) - 2]$ となり、 $M=24$ 、 $P+1=20$ の場合10032回となり、この積和演算は短時間に終了することができる。

【0242】

初期設定手段131は、この演算によって得られた初期値 $L_1(1) \sim L_1(M)$ 、 $L_2(1) \sim L_2(M)$ 、…、 $L_P(1) \sim L_P(M)$ 、 $H_1(1) \sim H_1(M)$ 、 $H_2(1) \sim H_2(M)$ 、…、 $H_P(1) \sim H_P(M)$ を、合成回路

145の各サブバンド合成器146(1)～146(P)の内部のLPFとHPFの記憶素子に設定してから、白色雑音発生手段121に雑音信号出力を指示する。

【0243】

なお、この初期設定を実際に白色雑音発生手段121からの雑音信号の入力で行うとすれば、前記のように $2^P \cdot M$ 個の雑音信号を入力する必要があり、その入力レートを50Hzとすると約70時間もかかってしまう。また、仮に初期設定中のみ入力レートを上げたとしても、合成回路145が $2^P \cdot M$ 個の雑音信号を計算するのに必要な総積和演算回数が $2M^2 (2^P - 1)$ であるため、前述と同様に $M = 24$ 、 $P + 1 = 20$ とした場合には、60205倍の積和演算を必要とし、長時間を要する。

【0244】

このように、動作初期時や特性係数変更時にフィルタ部125のデジタルフィルタの各記憶素子に初期設定をすることにより、フィルタ部125の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部125からは、特性係数設定手段130から設定された特性係数（この場合重み付け係数）に応じた周波数特性の雑音信号を速やかに出力させることができる。

【0245】

図39は、上記した雑音発生装置120の構成を含む本発明のワンダ発生装置150の全体構成を示している。

【0246】

図39において、白色雑音発生手段121、フィルタ部125、特性係数設定手段130、初期設定手段131、乗算器132および振幅設定手段133は、前記雑音発生装置120のものと同一である。

【0247】

このワンダ発生装置150は、乗算器132の出力y(k)を周波数シンセサイザ151に入力している。

【0248】

周波数シンセサイザ151は、例えばDDS（ダイレクトデジタルシンセサイ

イザ) や PLL発振器等で構成されており、所定の中心周波数をもち、乘算器132の出力y(k)に応じて位相(即ち周波数)が変調されたクロック信号CKを出力する。

【0249】

一方、特性算出手段134'は、特性係数設定手段130からの特性係数、振幅設定手段133の振幅係数Aおよび図示しない操作部等から設定されたパラメータに基づいて雑音信号y(k)の特性あるいはクロック信号CKのワンダの特性を求める。

【0250】

例えば、10Hz以下の位相揺らぎであるワンダの評価量として、TIE rms (τ) (Root Mean Square Time Interval Error)、ADEV (τ) (Allan Deviation)、MADEV ($n\tau_0$) (Modified Allan Deviation)、TDEV ($n\tau_0$) (Time Deviation) 等があるが、これらを実際にクロック信号CKに対して測定して得ようとすれば、前記したように非常に長い時間(数時間以上)かかってしまう。

【0251】

そこで、このワンダ発生装置150では、特性算出手段134'において上記のワンダの特性を以下の演算を行って選択的に求めている。

【0252】

TIE rms (τ)

$$= [8 \int S_x(f) \sin^2(\pi f \tau) df]^{1/2}$$

【0253】

ADEV (τ)

$$= [(16/\tau^2) \int S_x(f) \sin^4(\pi f \tau) df]^{1/2}$$

【0254】

MADEV ($n\tau_0$)

$$= \{ [16/(n^2\tau_0)^2] \int [\sin^6(\pi f \tau_0)/\sin^2(\pi f \tau_0)] \cdot S_x(f) df \}^{1/2} \quad (n=0, 1, 2, \dots, N)$$

【0255】

$$\begin{aligned} TDEV(n\tau_0) \\ = \left\{ \left(\frac{16}{3n^2} \right) \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] S_x \right. \\ \left. (f \quad) df \right\}^{1/2} \quad (n=0, 1, 2, \dots, N) \end{aligned}$$

【0256】

ここで、

$$\begin{aligned} S_x(f) \\ = f c [(\sigma_a \cdot u \cdot A) \sin(\pi f / f_s) / 2\pi f \sin(\pi f / f_c) \\]^2 \cdot |H(e^{j\pi f / f_s})|^2 \end{aligned}$$

【0257】

また、記号 \int は $f = 0 \sim f = f_h$ までの積分をとるものとし、パラメータ f_h は雑音最大周波数、 τ は測定時間、 τ_0 は測定サンプリング時間、 σ_a は白色雑音の標準偏差、 f_s は白色雑音発生手段 121 のサンプリング周波数、 u は周波数シンセサイザ 151 を DDS で構成した場合の DDS の量子化ステップ、 f_c は同 D/A コンバータのクロック周波数である。

【0258】

また、 A は振幅設定手段 133 からの振幅係数、 $|H(e^{j\pi f / f_s})|$ は特性係数設定手段 131 から設定された特性係数に基づいて算出される周波数特性、 $S_x(f)$ は特性係数設定手段 131 から設定された特性係数に基づいて算出される時間誤差のパワースペクトルである。

【0259】

このような演算によって得られた特性は、特性表示手段 135 によって表示器 136 に数値あるいはグラフで表示されるが、上記演算は、実際のクロック信号を測定せずに、特性係数、振幅係数および前記パラメータに基づいて算出しているので、短時間に求めることができ、信号を出力させるときに事前に雑音信号の特性やこの雑音信号によって周波数変調されたクロック信号のワンダの特性を確認することができる。

【0260】

前記実施形態では、フィルタ部 125 に含まれるデジタルフィルタが FIR

型の場合について説明したが、これは本発明を限定するものでなく、入力データを内部の複数の記憶素子にシフトしながら記憶して演算を行う構造のデジタルフィルタであればよく、例えばIIR型の場合でも同様に適用することができる。

【0261】

なお、上記ワンド発生装置150の白色雑音発生手段121は、擬似ランダム信号発生器122(1)～122(N)の内部構造で決まる所定のアルゴリズムにしたがって、複数ビットで構成される白色雑音信号n(k)をクロック信号CKnによって決まる一定速度で順次出力するものであるから、前記ワンド発生装置21、21'の雑音発生手段25と同様に、本発明の請求項1、2の乱数信号発生手段に相当し、フィルタ部125は、白色雑音発生手段121から出力される信号列に対するフィルタリング処理を行うものであるから、前記ワンド発生装置21、21'の畳込み演算手段28やデータ振分手段51、重み付け手段54、合成手段56と同様に、本発明の請求項1、3、4、5のフィルタ部に相当している。

【0262】

また、周波数シンセサイザ151は、フィルタ部125の出力によって周波数が変調されたクロック信号CKを出力しているから、本発明の請求項1のクロック発生手段と変調手段に相当し、特性係数設定手段130は、周波数シンセサイザ151から出力されるクロック信号のワンドの特性が所望特性となるように、フィルタ部125から出力される信号列の周波数特性を決定する係数をフィルタ部125に与えているから、本発明の請求項1、4、5の設定手段に相当している。

【0263】

したがって、このワンド発生装置150の場合も、前記ワンド発生装置21、21' と同様に、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック

信号の周波数をフィルタ部から出力される信号によって変調する変調手段と、変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えている。

【0264】

このため、所望特性のワンダを有するクロック信号を容易に発生することができる。

【0265】

また、このワンダ発生装置150の初期設定手段131は、少なくとも装置の動作初期時に、フィルタ部125に含まれる記憶素子に対して、所望特性のワンダを有するクロック信号が出力されている定常時に各記憶素子に記憶される記憶値と同等の値を、定常時の信号入力経路と異なる経路で初期設定しているので、本発明の請求項6の初期設定手段に相当している。

【0266】

このように、初期設定手段131によってフィルタ部125の記憶素子に初期値を設定するようにしたので、所望のワンダ特性を有するクロック信号を速やかに出力することができる。

【0267】

また、このワンダ発生装置150の特性算出手段134'は、周波数が変調されたクロック信号のワンダの特性を、特性係数設定手段130からフィルタ部125に設定された信号を含む情報に基づいて算出しているから、本発明の請求項7の特性算出手段に相当し、また、特性表示手段135は、特性算出手段134'によって求められたワンダ特性を表示しているので、本発明の請求項7の特性表示手段に相当している。

【0268】

このように、周波数が変調されたクロック信号のワンダの特性を特性係数設定手段130からフィルタ部125に設定された信号を含む情報に基づいて算出し、算出したワンダ特性を表示するようにしているので、実際に出力されるクロック信号のワンダ特性を測定することなく、事前にその特性を把握できて便利であ

る。

【0269】

なお、上記のワンド発生装置150を、デジタル回線試験装置20の前記ワンド発生装置21、21'の代わりに用いることもできる。

この場合には、特性算出手段134'によって算出されたワンドの特性を表示制御手段46に出力して、表示装置47に表示させる。

【0270】

【発明の効果】

以上説明したように、本発明の請求項1のワンド発生装置は、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段(25、121)と、

前記乱数信号発生手段が発生する乱数の信号列を受けてfiltrating処理を行うフィルタ部(28、125)と、

クロック信号を発生するクロック発生手段(30、31、151)と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段(30、151)と、

前記変調手段によって周波数が変調されたクロック信号のワンドの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段(23、26、130)とを備えている。

【0271】

このため、所望特性のワンドを有するクロック信号を容易に発生することができる。

【0272】

また、本発明の請求項2のワンド発生装置は、請求項1記載のワンド発生装置において、

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されてい

る。

【0273】

このため、乱数の信号を理想の白色雑音に極めて近いものにすることができる、所望のワンダ特性のクロック信号をより精度よく発生することができる。

【0274】

~~また、本発明の請求項3のワンダ発生装置は、請求項1記載のワンダ発生装置において、~~

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいる。

【0275】

このため、演算によってフィルタリング処理を正確に行え、所望のワンダ特性のクロック信号をより精度よく発生することができる。

【0276】

また、本発明の請求項4のワンダ発生装置は、請求項3記載のワンダ発生装置において、

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする。

【0277】

このため、簡単な構成で、所望のワンダ特性のクロック信号を発生することができる。

【0278】

また、本発明の請求項5のワンダ発生装置は、請求項3記載のワンダ発生装置において、

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする。

【0279】

このため、出力するクロック信号のワンダ特性をより高い自由度で設定することができる。

【0280】

また、本発明の請求項6のワンダ発生装置は、請求項3または請求項4または請求項5記載のワンダ発生装置において、

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンダを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えている。

【0281】

このため、装置の動作初期時等に、所望のワンダ特性を有するクロック信号を直ちに出力することができ、測定を迅速に開始できる。

【0282】

また、本発明の請求項7のワンダ発生装置は、請求項1記載のワンダ発生装置において、

前記変調手段によって周波数が変調されたクロック信号のワンダの特性を、前

記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0283】

~~このため、実際に出力するクロック信号のワンダ特性を事前に確認できて便利である。~~

【0284】

また、本発明の請求項8のデジタル回線装置は、

ワンダを有する試験信号を発生するワンダ発生部（21、40）と、該ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（41、43）とを備えたデジタル回線試験装置において、

前記ワンダ発生部が、前記請求項1または請求項2または請求項3または請求項4または請求項5または請求項6または請求項7記載のワンダ発生装置を含み、該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されている。

【0285】

このため、所望のワンダ特性のクロック信号と同期する試験信号を試験対象のデジタル回線に出力することができ、そのデジタル回線を経由した信号のワンダ特性を測定することができる。

【0286】

また、本発明の請求項9のワンダ発生装置は、

所望のタイムデピエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（22）と、

前記所望のタイムデピエーション特性の特性情報を設定するための特性情報設定手段（23）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタ

イムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザ（30）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えている。

【0287】

このため、所望のタイムデビエーション特性のワンドを有するクロック信号を容易に発生させることができる。

【0288】

また、本発明の請求項10のワンド発生装置は、請求項9記載のワンド発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される白色雑音信号との畳込み演算を行い、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備えている。

【0289】

このようにデジタル的に揺らぎ信号列を生成しているので、所望のタイムデビエーション特性を満足するワンドを有するクロック信号を精度よく発生することができる。

【0290】

また、本発明の請求項11のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴としている。

【0291】

このため、所望のタイムデピエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

【0292】

また、本発明の請求項12のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことの特徴としている。

【0293】

このため、浮動小数点演算の際の誤差を少なくすることができる。

【0294】

また、本発明の請求項13のワンダ発生装置は、請求項10記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴としている。

【0295】

このため、メモリを節約でき、装置のハードウェア構成を簡素化できる。

【0296】

また、本発明の請求項14のワンダ発生装置は、請求項9記載のワンダ発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段(25)と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（51）と、

~~前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、~~
前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数に分割する前記各帯域毎のスペクトルの大きさ応じた重み付けを行う重み付け手段（54）と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（56）とを備えている。

【0297】

このため、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができ、インパルス応答の演算が困難な複雑なTDEVMマスク特性のクロック信号を容易に発生することができる。

【0298】

また、本発明の請求項15のワンダ発生装置は、請求項10または請求項14記載のワンダ発生装置において、

前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数（m）組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されている。

【0299】

このため、白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデピエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

【0300】

また、本発明の請求項16のデジタル回線試験装置は、
 規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発
 生するためのワンダ発生装置（21）と、
 前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を
 試験対象のデジタル回線に送出する送信部（40）と、
~~前記試験対象のデジタル回線から折り返されたデジタル信号を受信すると~~
 ともに、該受信したデジタル信号のクロック信号を再生する受信部（41）と
 、
 前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（42）と
 、
 前記受信部によって再生されたクロック信号のタイムデビエーション特性を測
 定するタイムデビエーション測定部（43）と、
 表示装置（47）と、
 前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデ
 ビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイム
 デビエーション特性と対比できるように前記表示装置に表示する表示制御手段（
 46）とを備えている。

【0301】

このため、試験対象のデジタル回線のワンダについての評価を容易に且つ効率
 的に行うことができ、また、デジタル回線によるワンダの変化を表示画面上で
 容易に比較できる。

【0302】

また、本発明の請求項17のデジタル回線試験装置は、請求項16記載のデ
 イジタル回線試験装置において、

前記ワンダ発生装置が、前記請求項9または請求項10または請求項11または
 請求項12または請求項13または請求項14または請求項15記載のワンダ
 発生装置であることを特徴としている。

【0303】

所望のタイムデビエーション特性を満足するワンダを有するクロック信号に同

期したデジタル信号を試験対象の回線に送出することができ、回線の評価を正しく行うことができ、また、装置を小型化できる。

【0304】

また、本発明の請求項18のワンド発生装置は、
 デジタルの白色性の雜音信号を発生する白色雜音発生手段（121）と、
 デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雜音発生手段から出力された雜音信号を予め設定された特性係数に対応する周波数特性の雜音信号に変換して出力するフィルタ部（125）と、
 前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、
 前記フィルタ部から出力される雜音信号に予め設定された振幅係数を乗算する乗算器（132）と、
 前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、
 前記乗算器から出力された雜音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、
 前記フィルタ部から前記特性係数に対応した周波数特性の雜音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雜音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（131）とを備えている。

【0305】

このため、動作初期時等に、フィルタ部の内部状態は直ちに定常状態と同一の状態に設定されるため、特性係数設定手段から設定された特性係数に応じた周波数特性の雜音信号で位相変調されたクロック信号を速やかに出力させることができる。

【0306】

また、本発明の請求項19のワンド発生装置は、
 デジタルの白色性の雜音信号を発生する白色雜音発生手段（121）と、
 デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数

の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

~~前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する~~
乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（151）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0307】

このため、雑音信号やクロック信号に対する実際の測定を行うことなく、事前にその特性が分かり便利である。

【図面の簡単な説明】

【図1】

本発明の実施の形態の全体構成を示すブロック図

【図2】

実施形態の要部の構成を示すブロック図

【図3】

本発明の原理を説明するための電力スペクトル密度分布特性

【図4】

本発明の原理を説明するための相対電力スペクトル密度分布特性

【図5】

実施形態の要部の構成を示すブロック図

【図6】

実施形態の要部の回路図

【図7】

実施形態の要部の回路図

【図8】

インパルス応答を示す図

【図9】

実施形態の要部回路図

【図10】

実施形態の要部の動作を説明するための図

【図11】

実施形態の測定結果を示す図

【図12】

電力スペクトル密度分布と伝達関数と差を示す図

【図13】

規定のTDEV特性と実際のTDEV特性の差を示す図

【図14】

補正関数を示す図

【図15】

電力スペクトル密度分布と補正後の伝達関数と差を示す図

【図16】

規定のTDEV特性と補正後のTDEV特性の差を示す図

【図17】

正逆可能な擬似ランダム発生回路の回路図

【図18】

正逆可能な擬似ランダム発生回路の状態遷移図

【図19】

正逆可能な擬似ランダム発生回路の所定ビット目の出力の変化を示す図

【図20】

正逆可能な擬似ランダム発生回路の正順と逆順の状態対応図

【図21】

正逆可能な擬似ランダム発生回路の回路図

【図22】

ワンダ発生装置の変形例を示す図

【図23】

揺らぎ信号列発生部の変形例を示す図

【図24】

図23の要部の構成を示すブロック図

【図25】

図23の要部の動作を説明するためのタイミング図

【図26】

図23の要部の動作を説明するための図

【図27】

図23の要部の構成を示すブロック図

【図28】

図23の要部の動作を説明するための図

【図29】

規定のTDEV特性と実際のTDEV特性の差を示す図

【図30】

図23の要部の他の構成を示すブロック図

【図31】

本発明の他の実施形態のワンダ発生装置に含まれる雑音発生装置の構成を示す
ブロック図

【図32】

図31の要部の構成を示すブロック図

【図33】

図31の要部の構成を示すブロック図

【図34】

図31の動作を説明するためのブロック図

【図35】

図31の要部の変形例を示すブロック図

【図36】

~~図35の変形例の動作を説明するためのタイミング図~~

【図37】

図35の変形例の動作を説明するための図

【図38】

図35の変形例の動作を説明するための図

【図39】

本発明の実施形態のワンダ発生装置の全体構成を示すブロック図

【図40】

従来のワンダ発生装置の構成を示すブロック図

【図41】

規定のTDEV特性例を示す図

【符号の説明】

- 1 ディジタル回線
- 2 0 ディジタル回線試験装置
- 2 1 ワンダ発生装置
- 2 2 中心周波数設定手段
- 2 3 特性情報設定手段
- 2 4、2 4' 揺らぎ信号列発生部
- 2 5 雑音発生手段
- 2 6 インパルス応答演算手段
- 2 7 メモリ
- 2 8 置込み演算手段
- 2 9 加算器
- 3 0 DDS

30a 加算器

30b ラッチ回路

30c 波形メモリ

30d D/A変換器

31 クロック信号出力回路

~~31a 帯域通過フィルタ~~

31b コンパレータ

40 送信部

41 受信部

42 誤り測定部

43 TDEV測定部

44 TIE検出部

45 TDEV演算部

46 表示制御手段

47 表示装置

50 シフトレジスタ

51 データ振分手段

52₁~52₁₃ 1/2分周器

53₁~53₁₃ ラッチ回路

54 重み付け手段

55₁~55₁₃ 乗算器

56 合成手段

57₁~57₁ サブバンド合成器

58₁~58₁ サブバンド分波器

121 白色雑音発生手段

122(1)~122(N) 擬似ランダム信号発生器

123 制御回路

125 フィルタ部

126 ディジタルフィルタ

127 (1) ~ 127 (M) 記憶素子

128 (1) ~ 128 (M+1) 乗算器

129 加算器

130 特性係数設定手段

131 初期設定手段

132 乘算器

133 振幅設定手段

134、134' 特性算出手段

135 特性表示手段

136 表示器

141 分波回路

142 (1) ~ 142 (P) 1/2デシメート回路

143 重み付け回路

144 (1) ~ 144 (P+1) 乗算器

145 合成回路

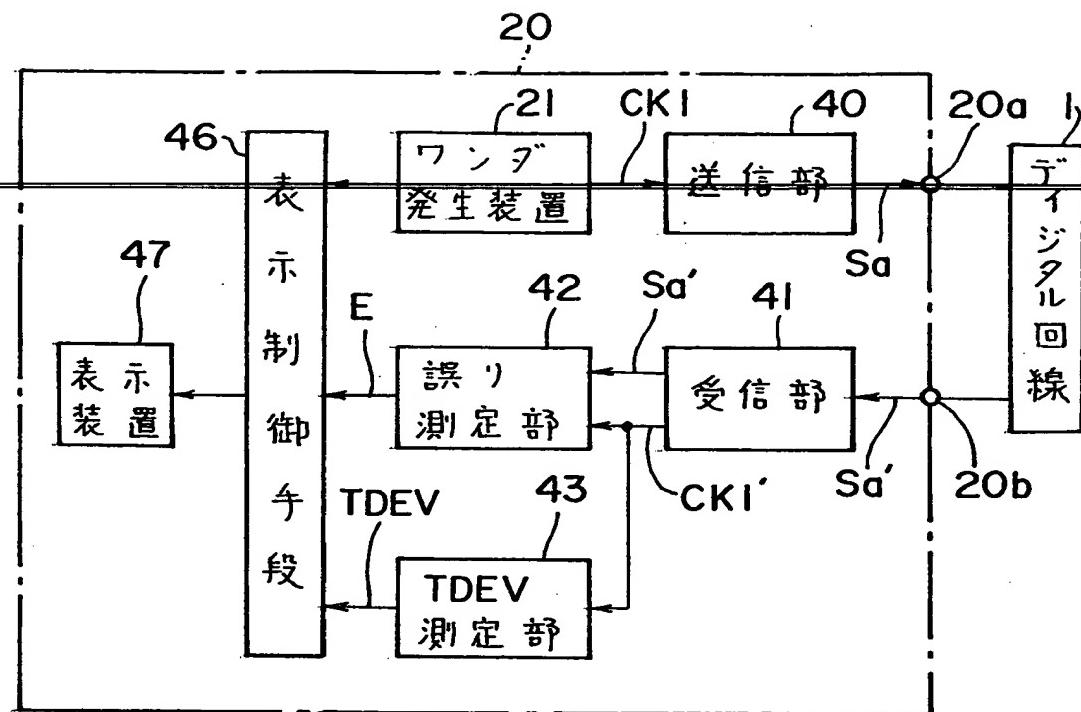
146 (1) ~ 146 (P) サブバンド合成器

150 ワンダ発生装置

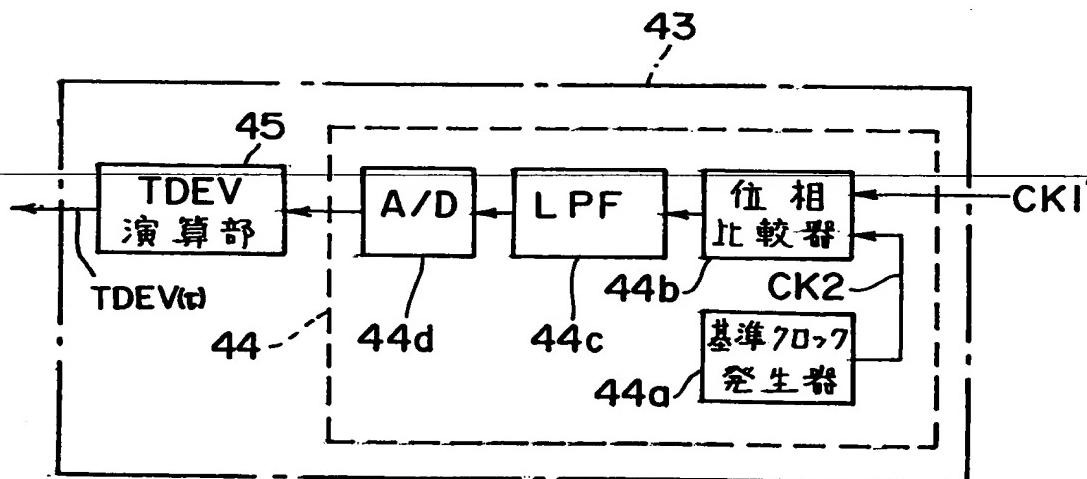
151 周波数シンセサイザ

【書類名】 図面

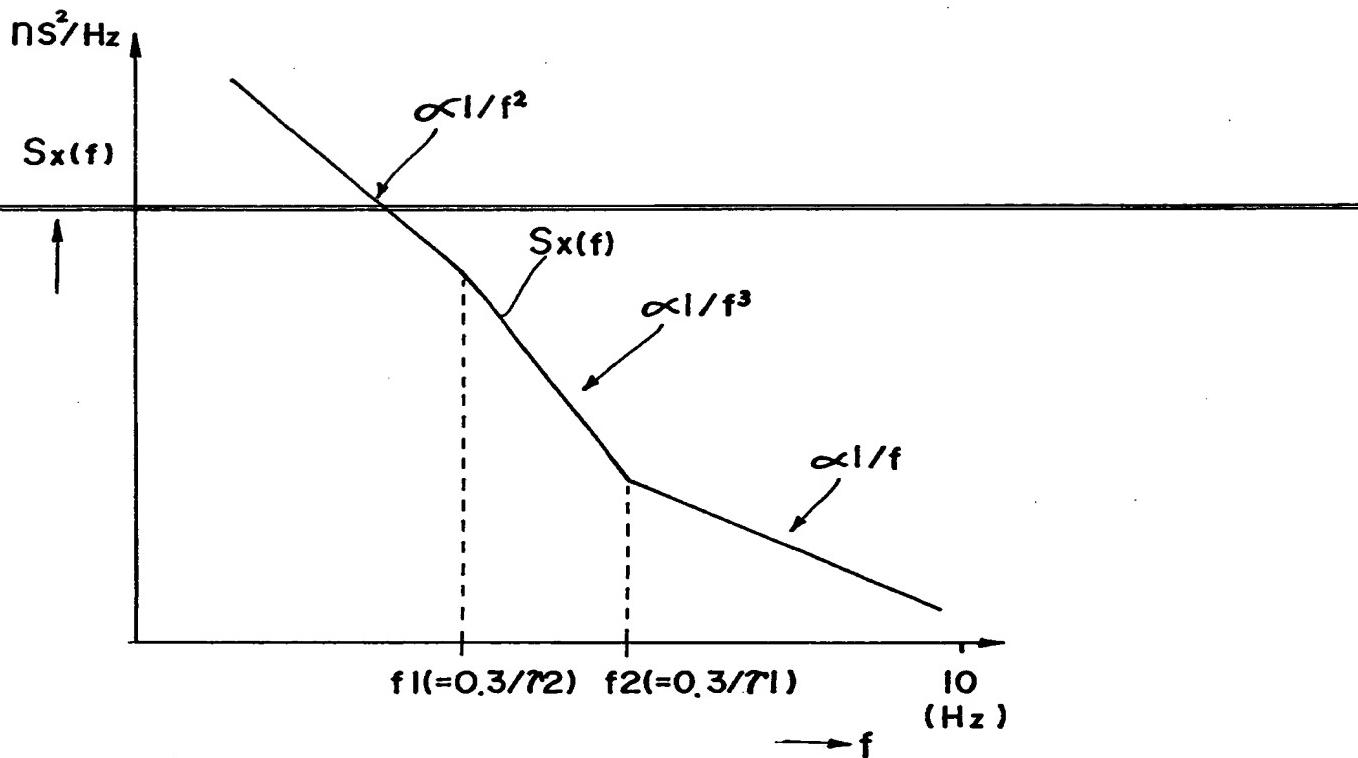
【図1】



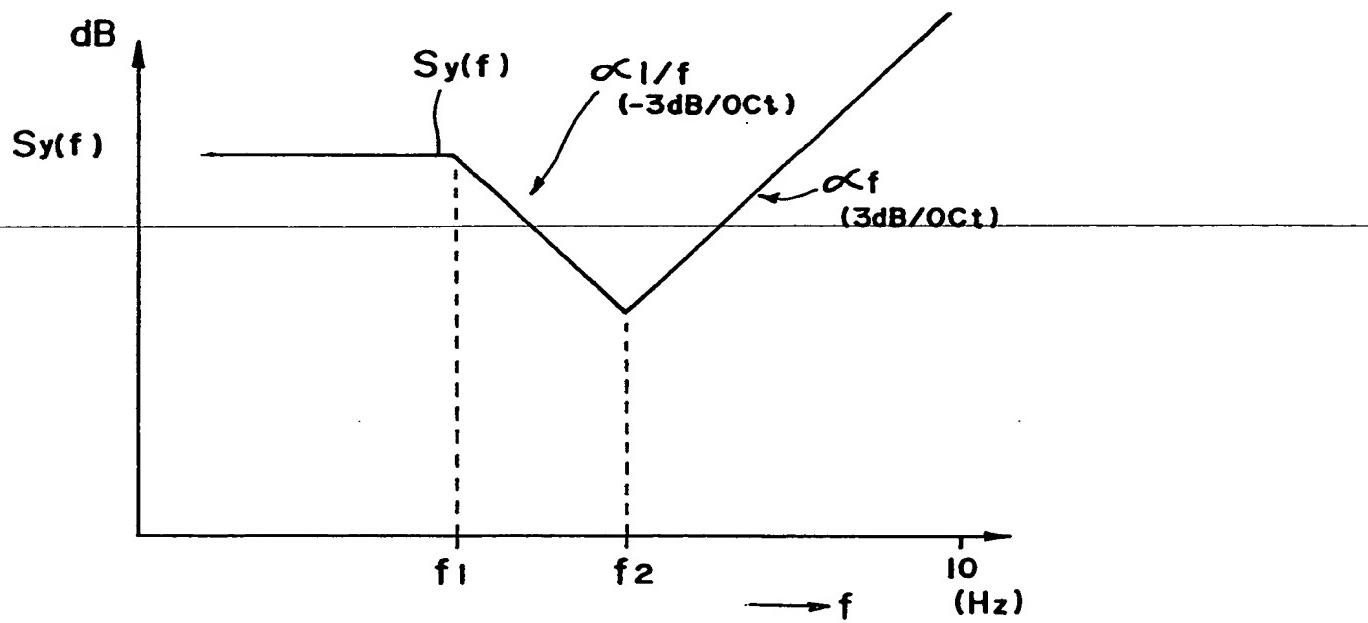
【図2】



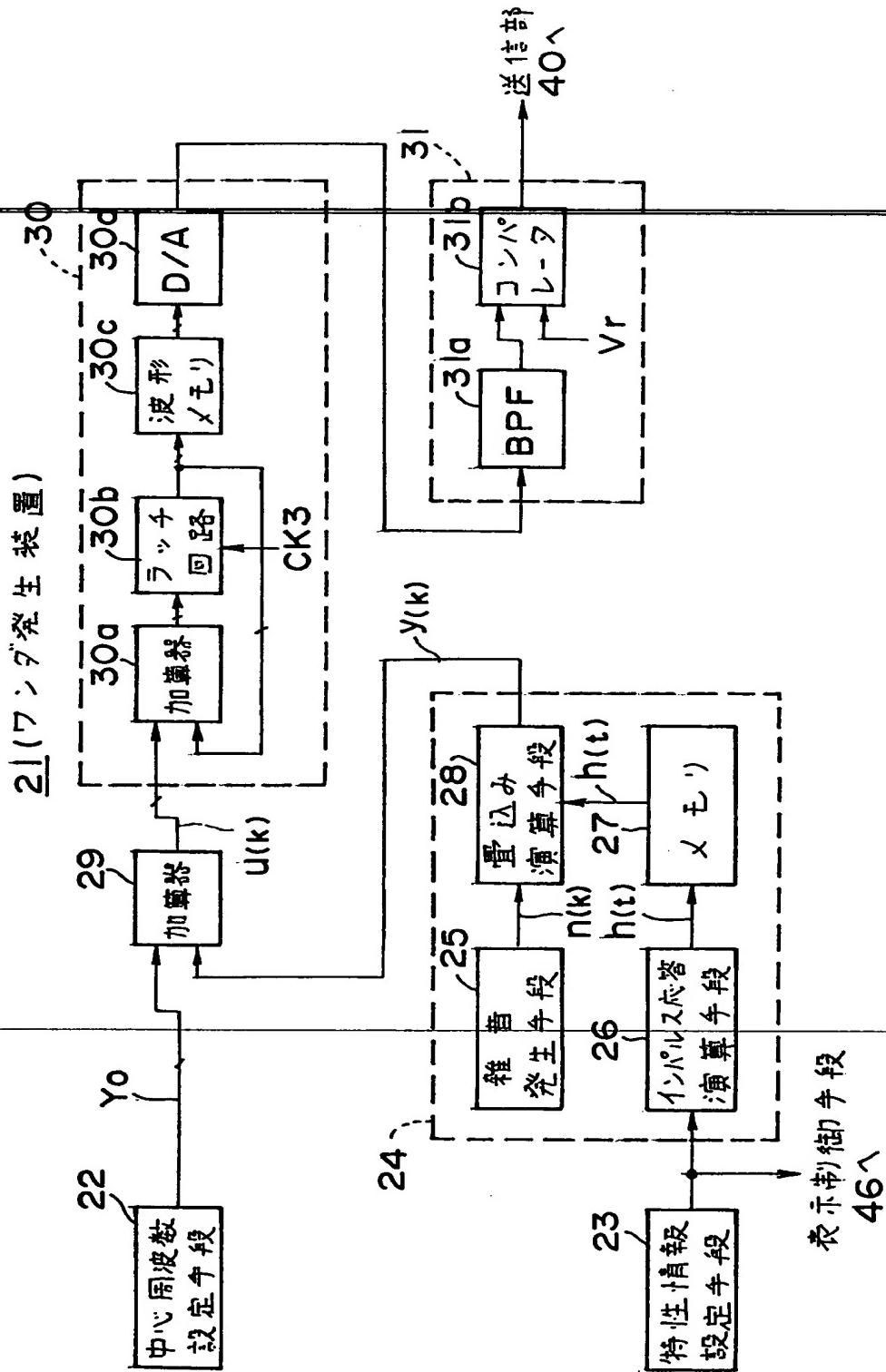
【図3】



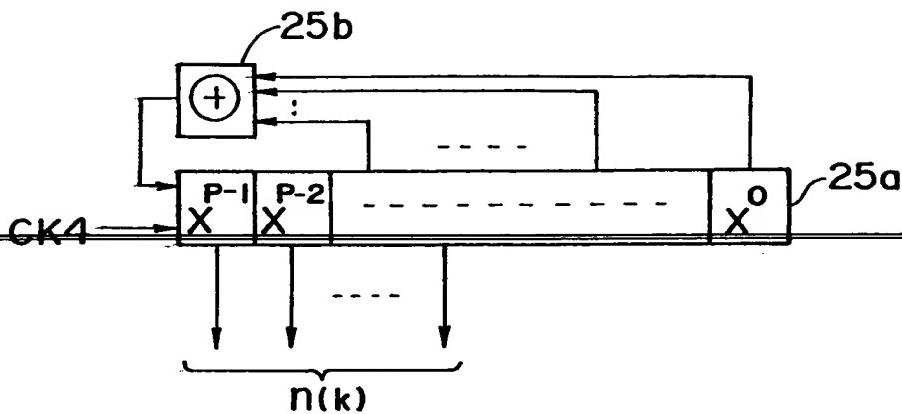
【図4】



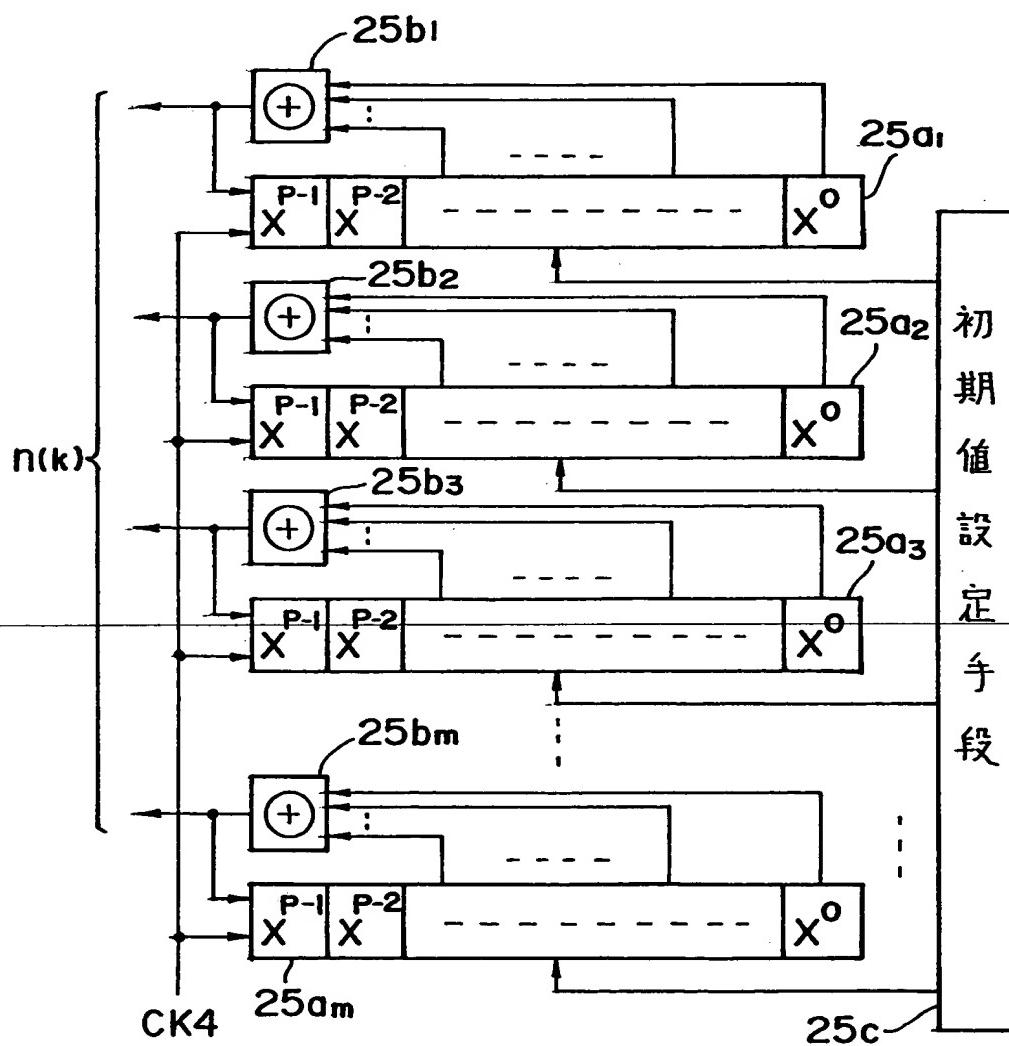
【図5】



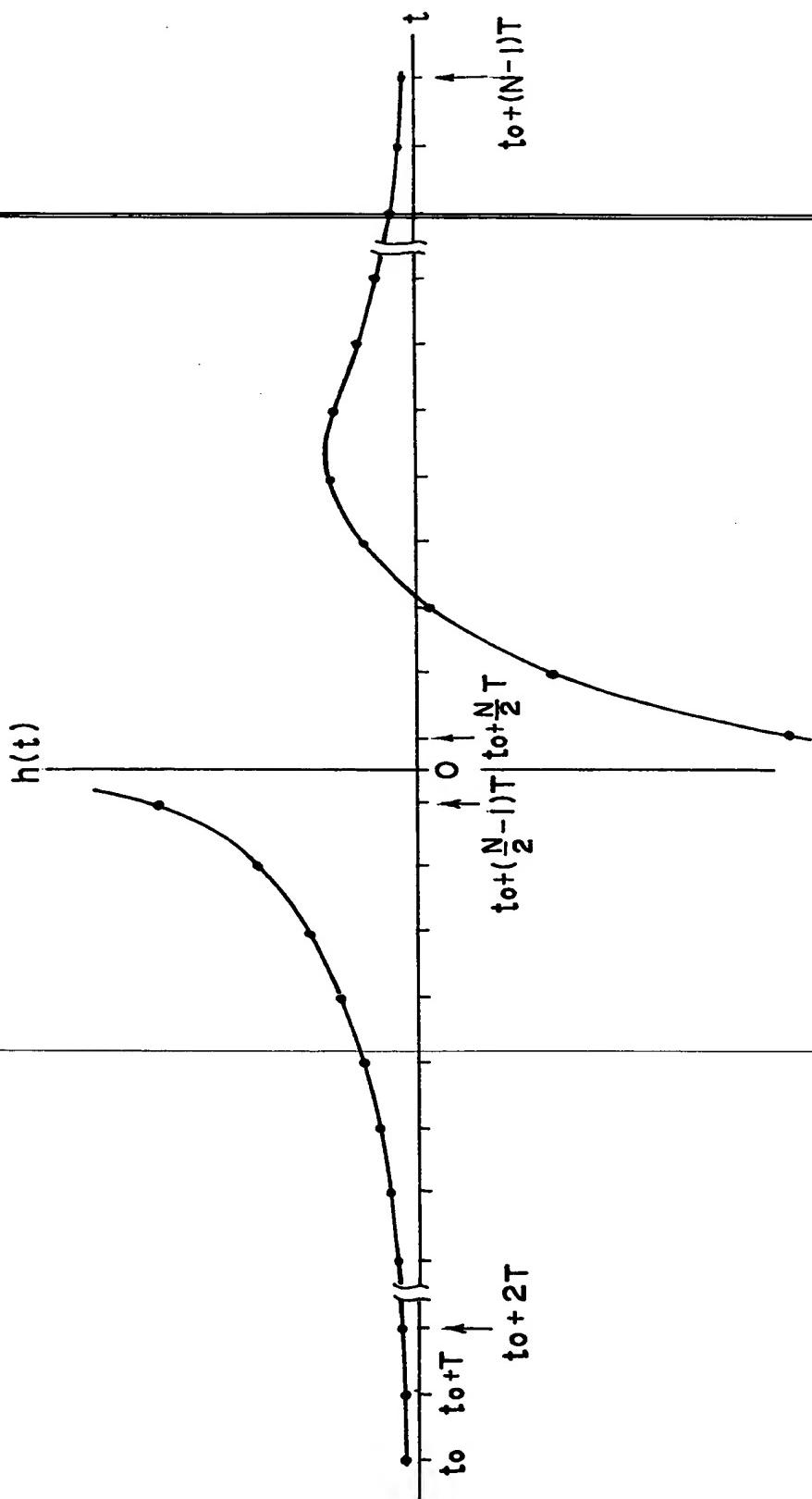
【図6】



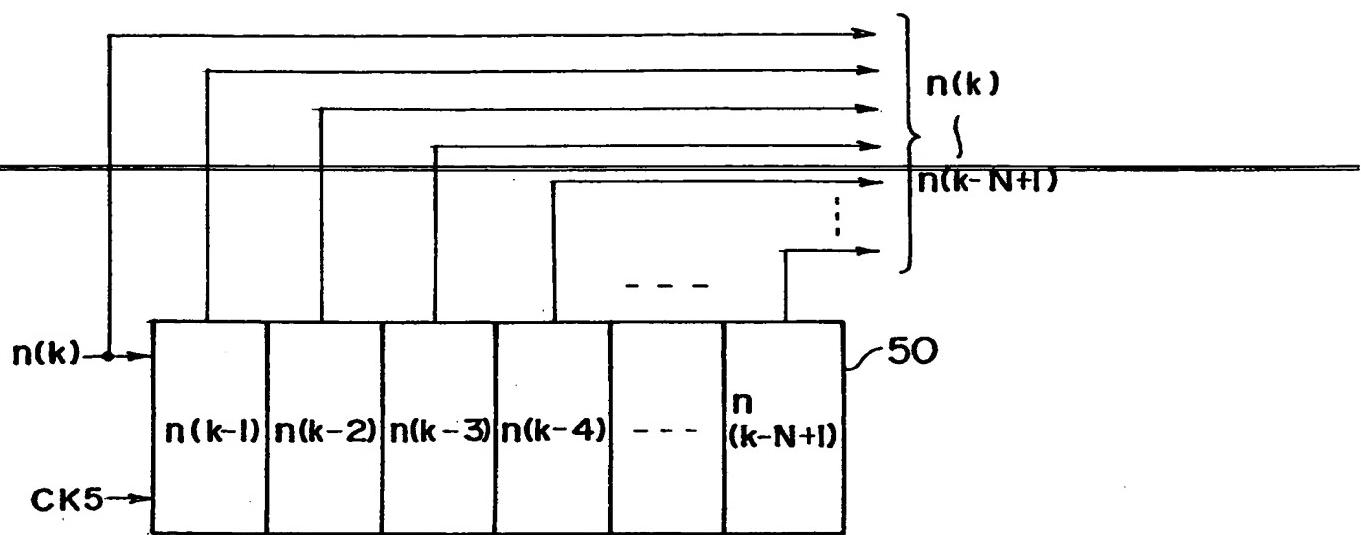
【図7】



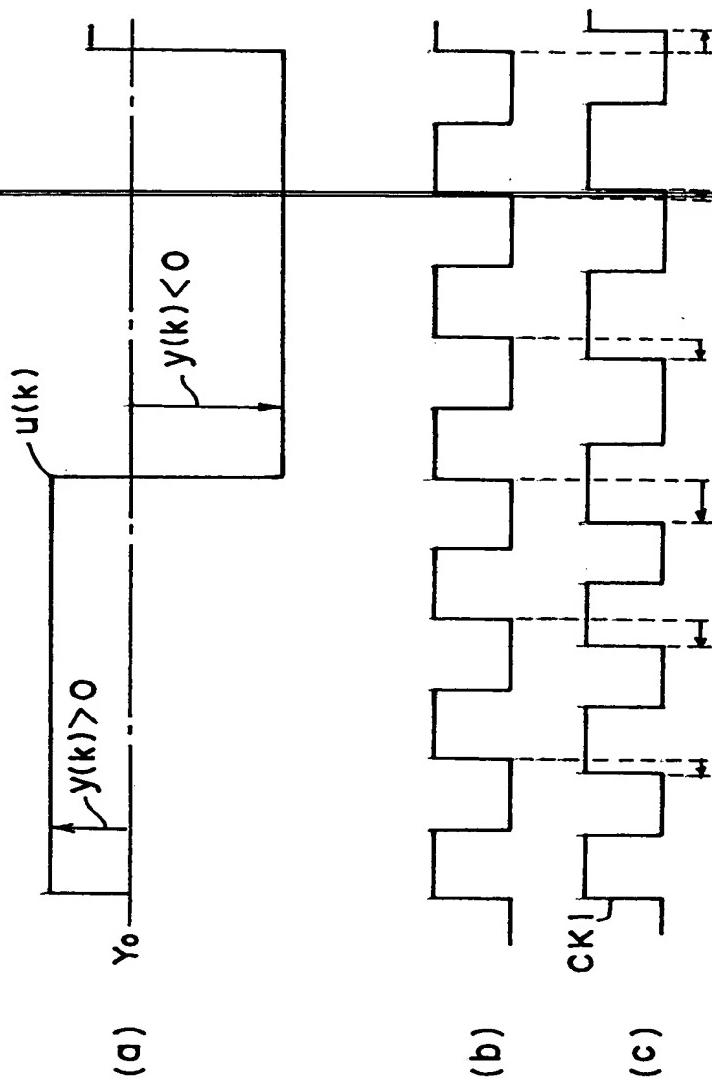
【図8】



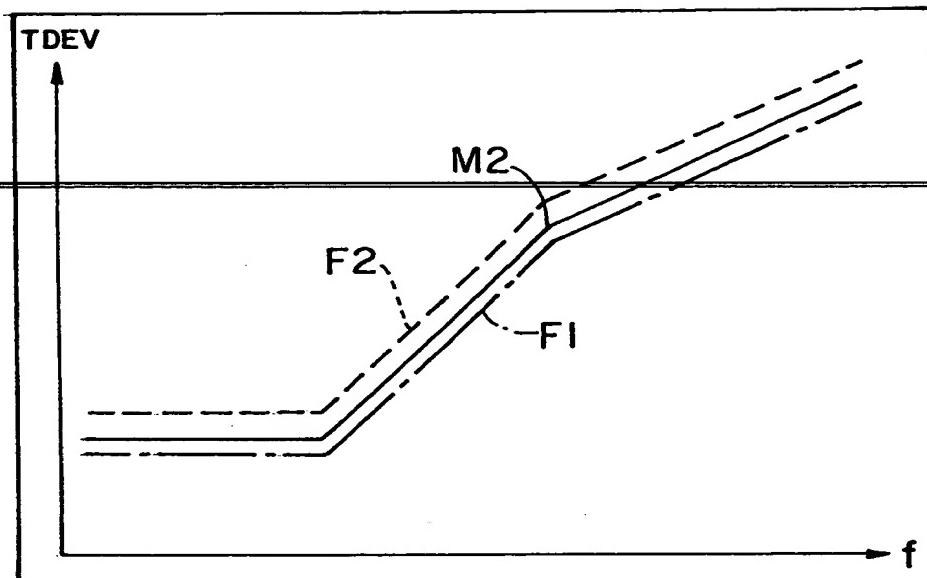
【図9】



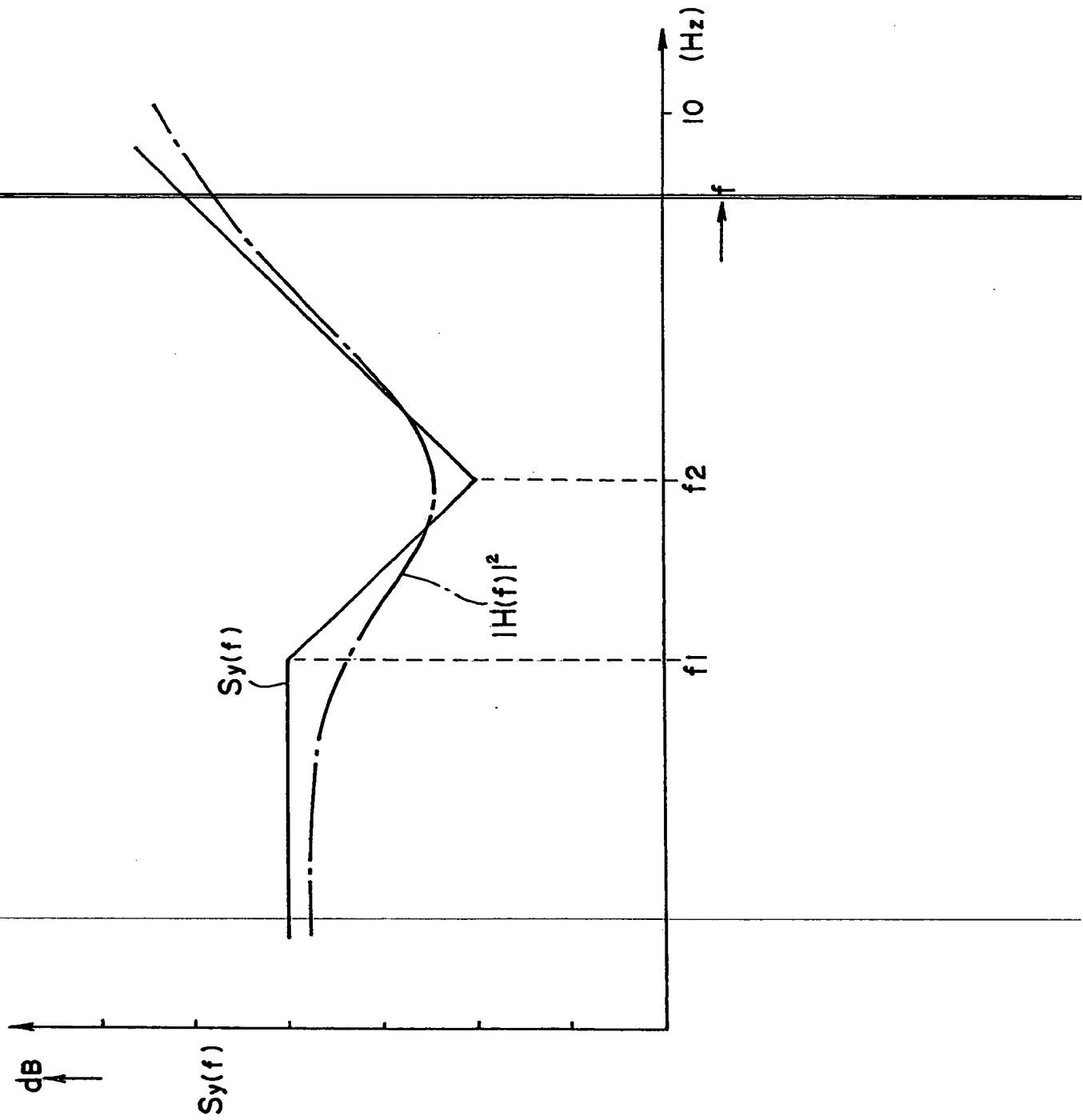
【図10】



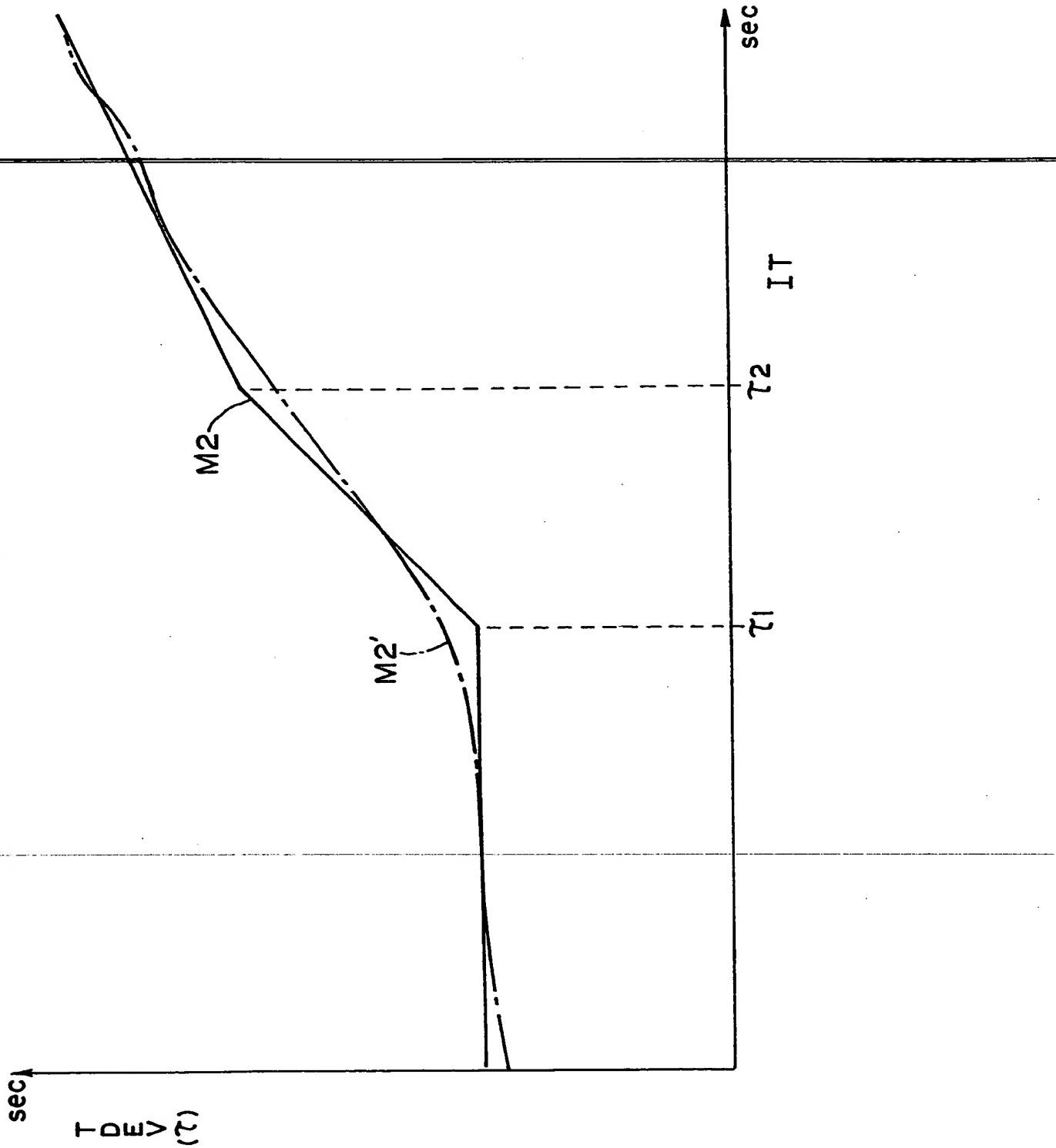
【図11】



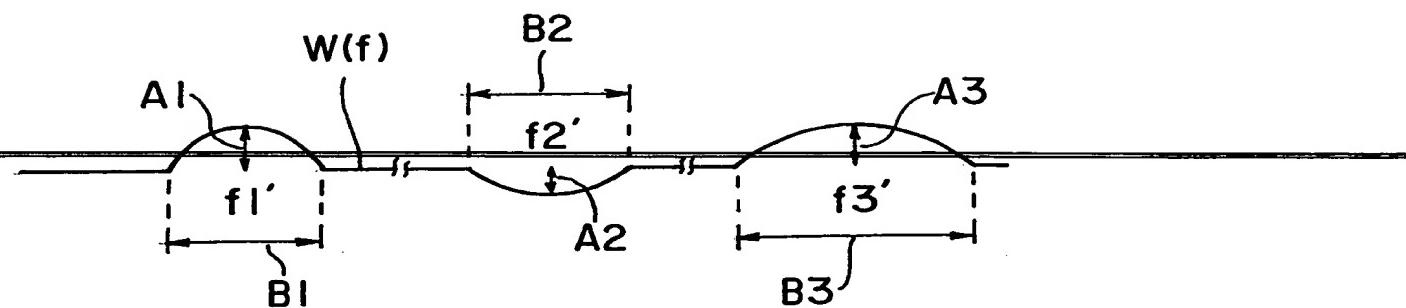
【図12】



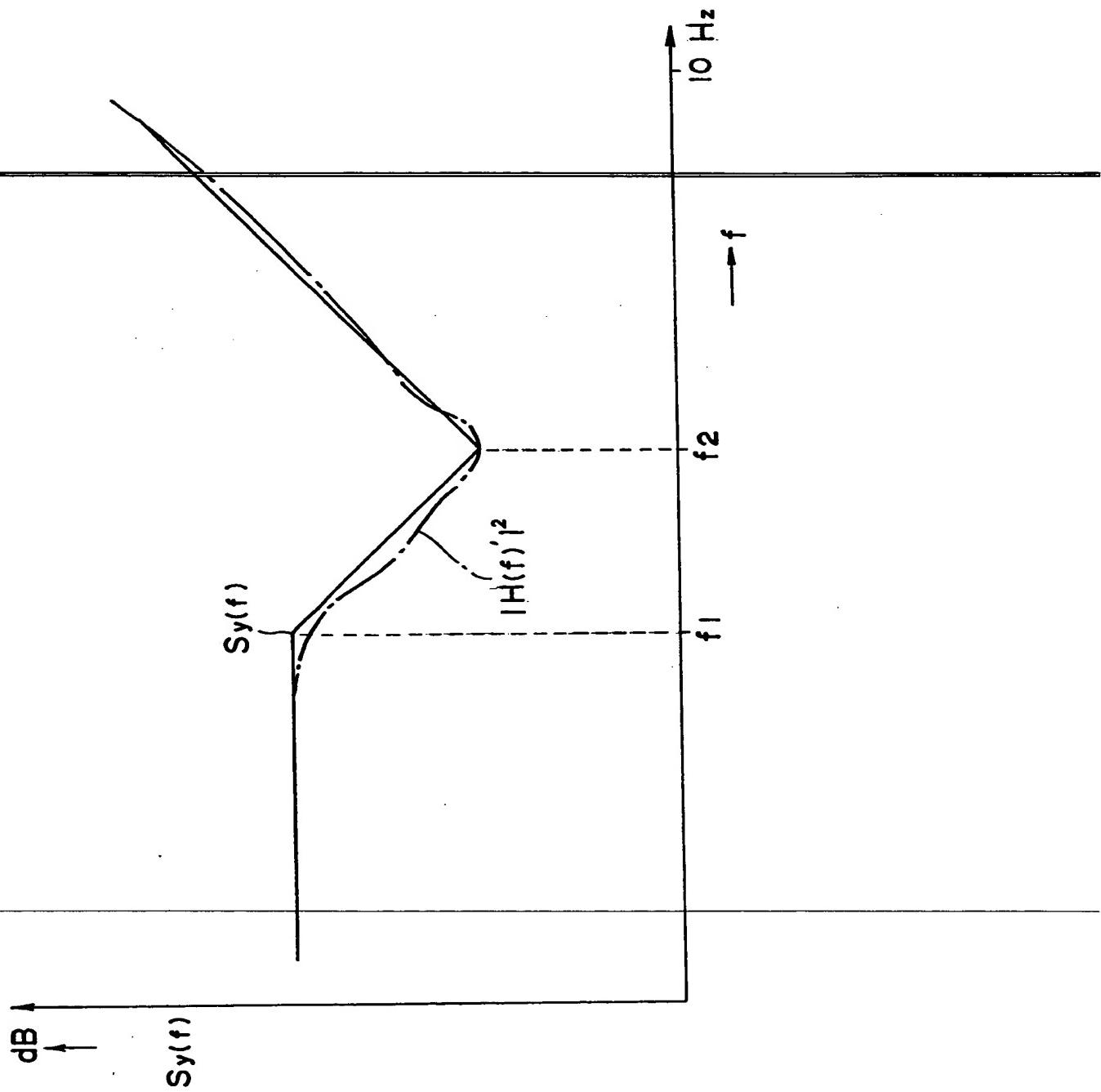
【図13】



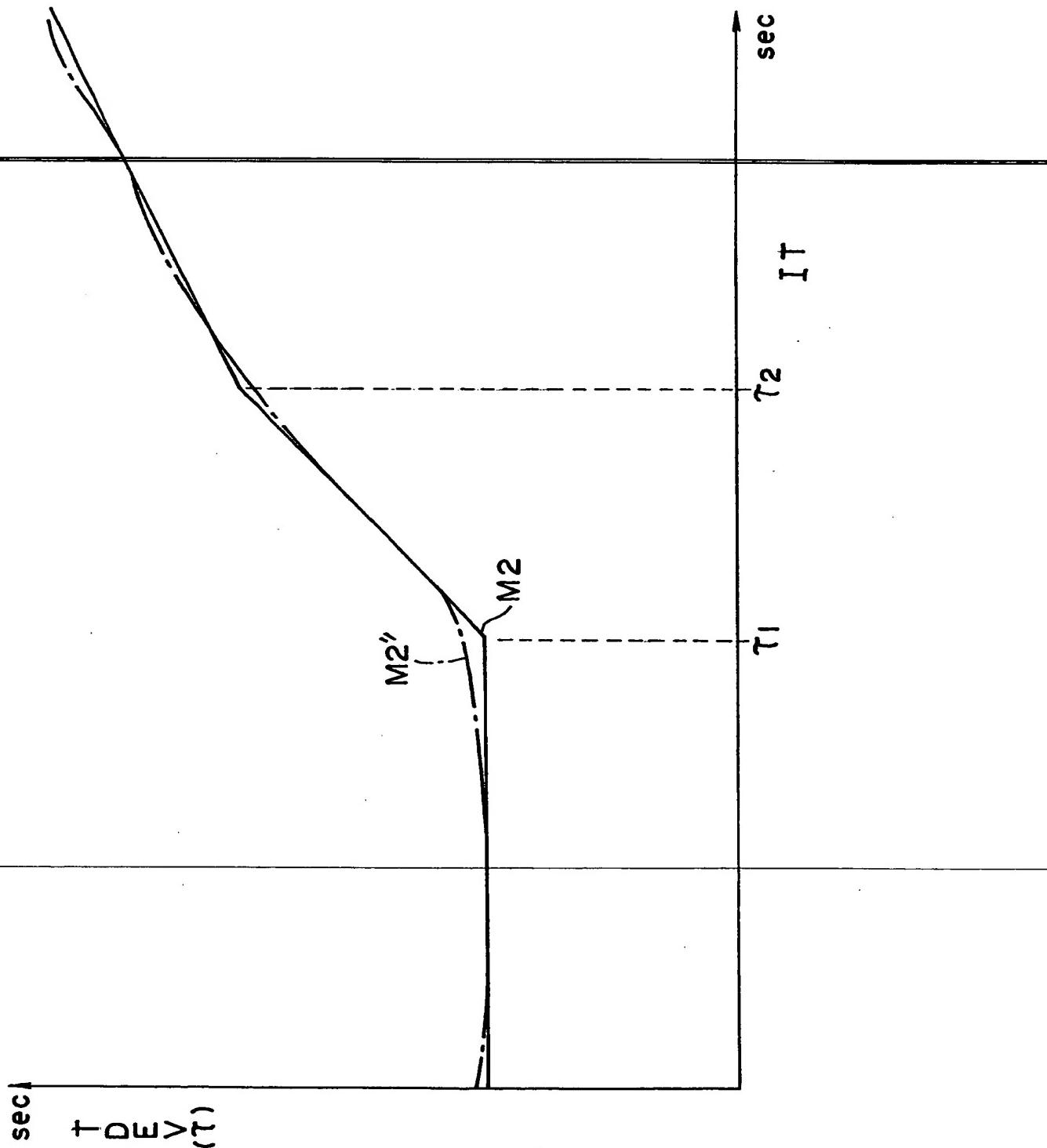
【図14】



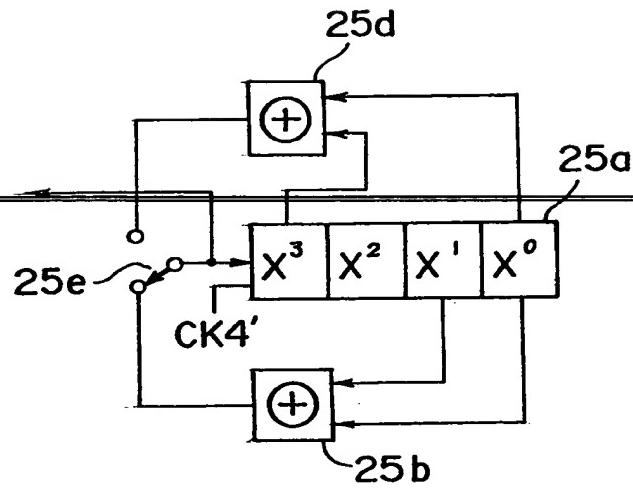
【図15】



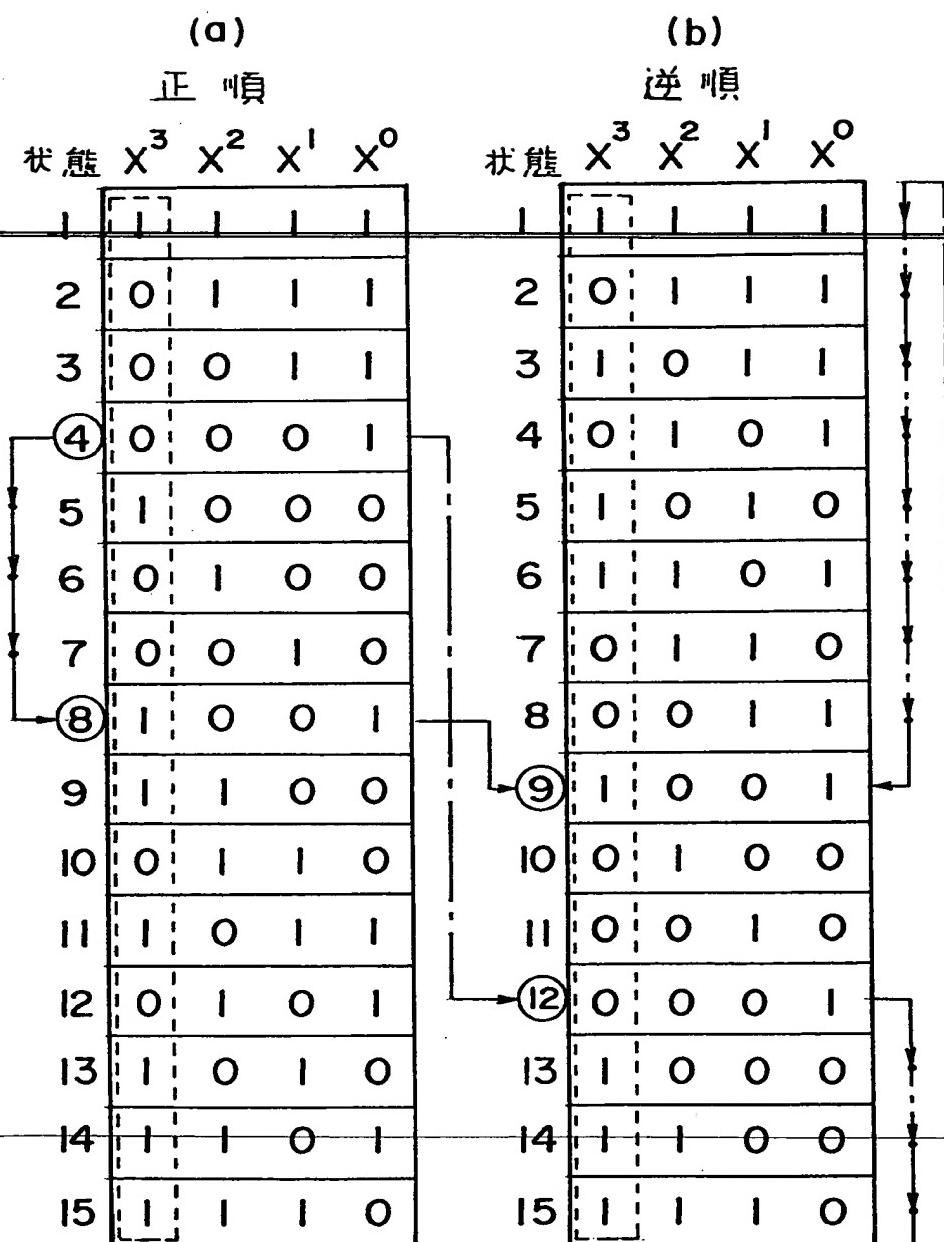
【図16】



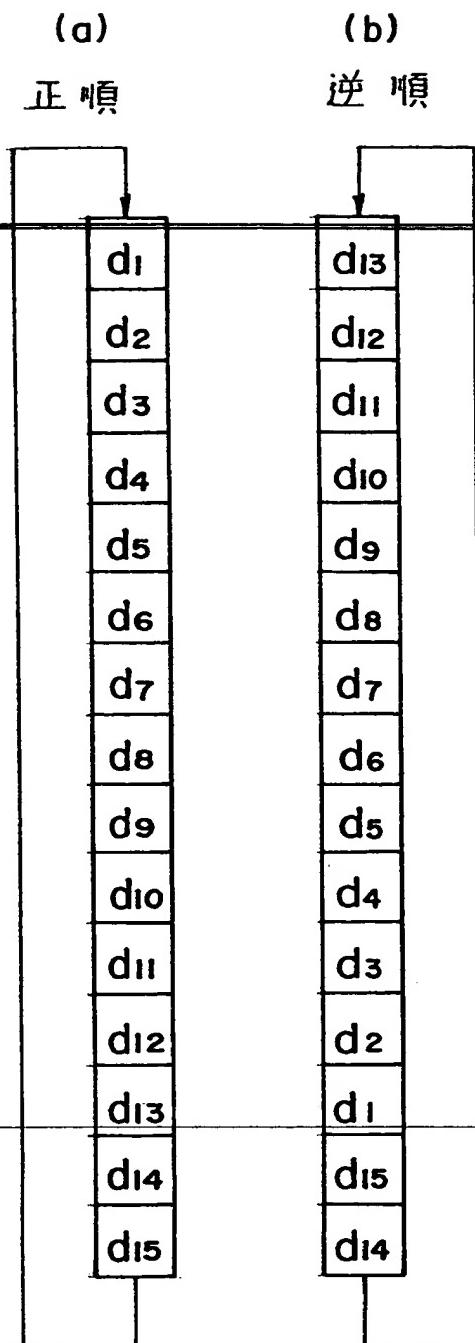
【図17】



【図18】



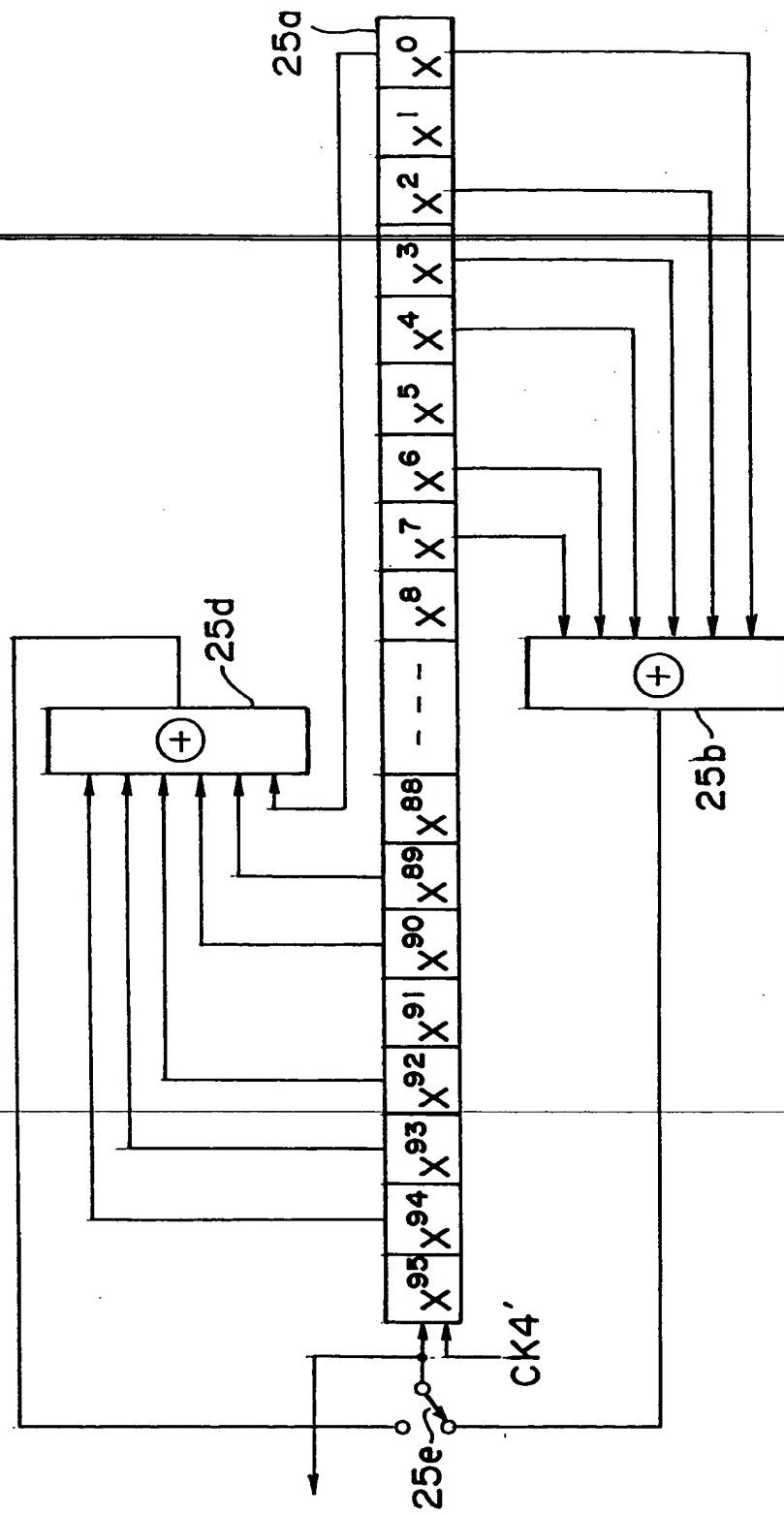
【図19】



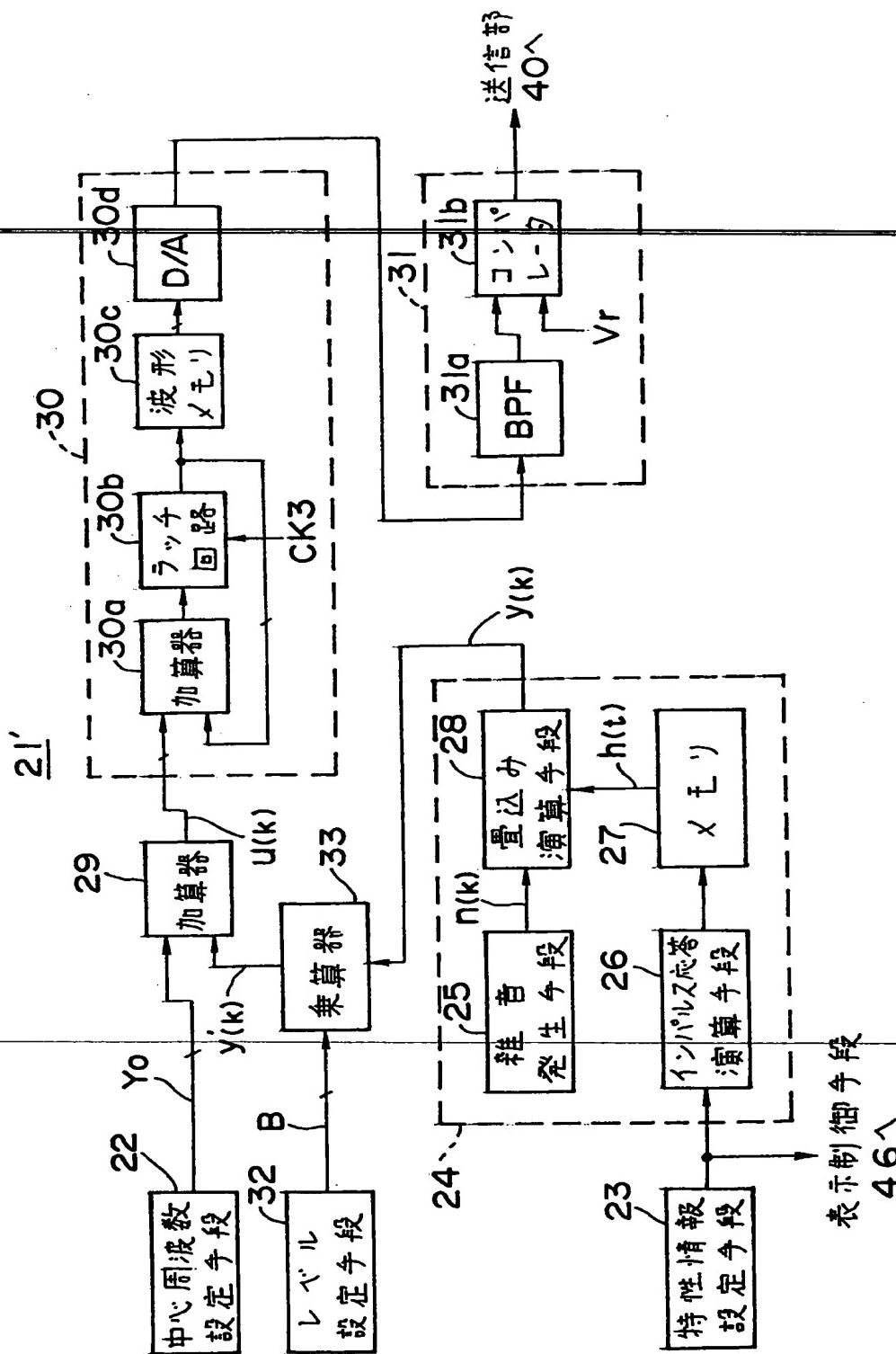
【図20】

状態対応	
正順	逆順
1	1
2	2
3	8
4	12
5	13
6	10
7	11
8	9
9	14
10	7
11	3
12	4
13	5
14	6
15	15

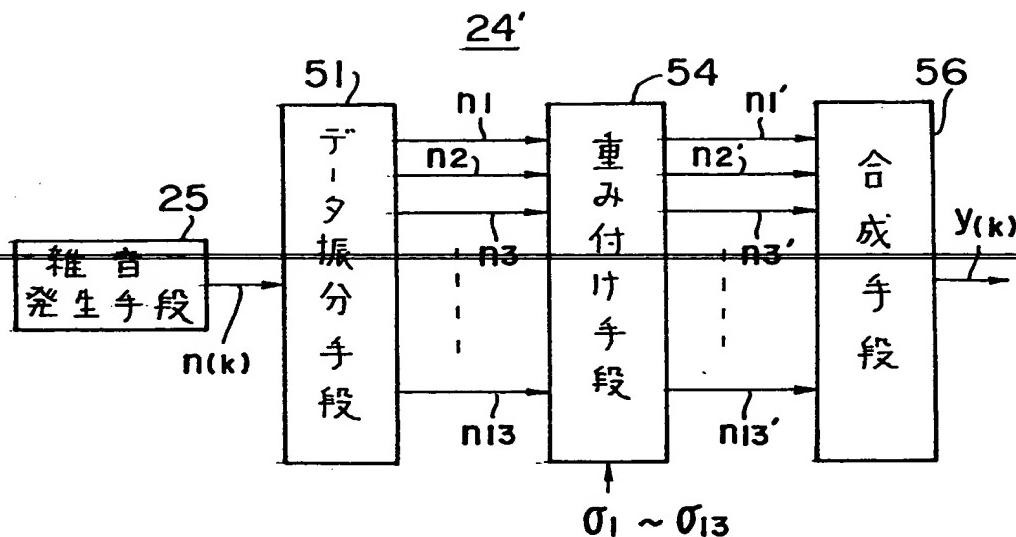
【図21】



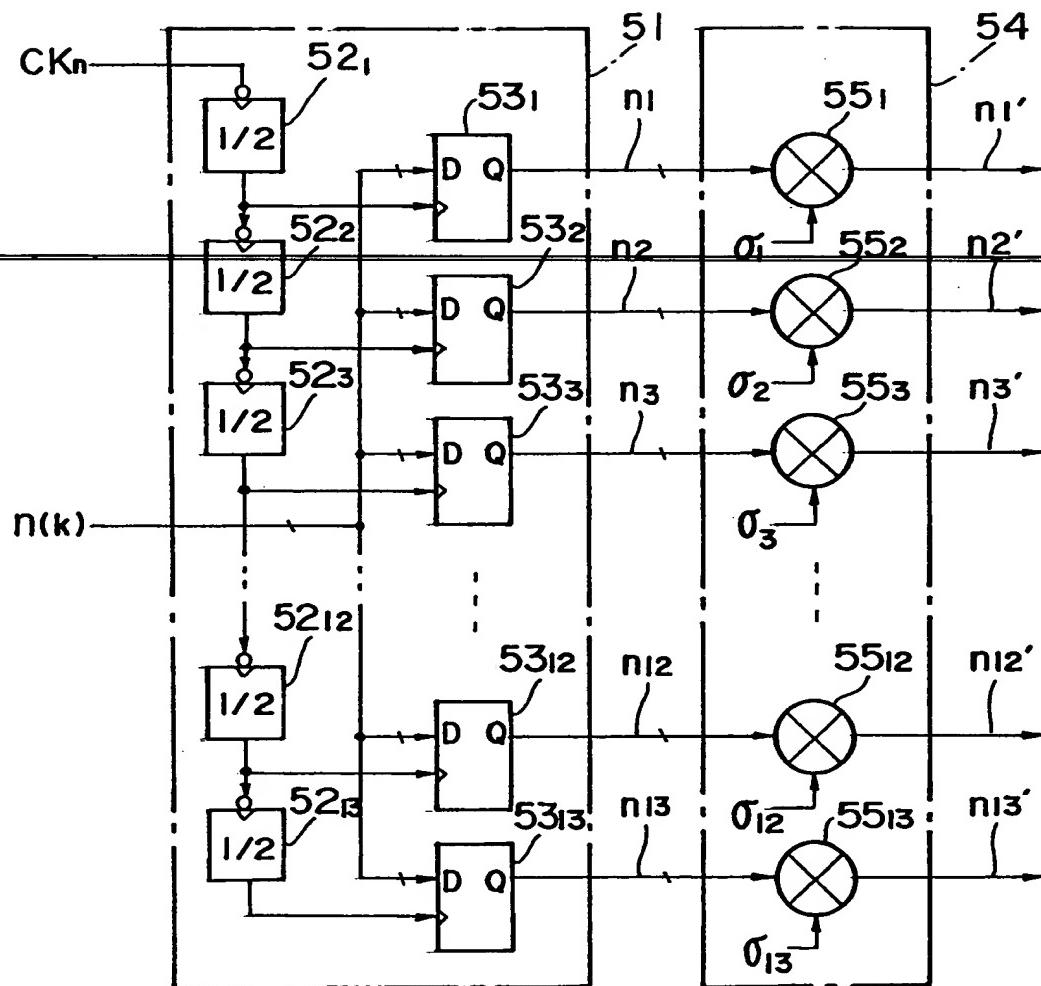
〔図22〕



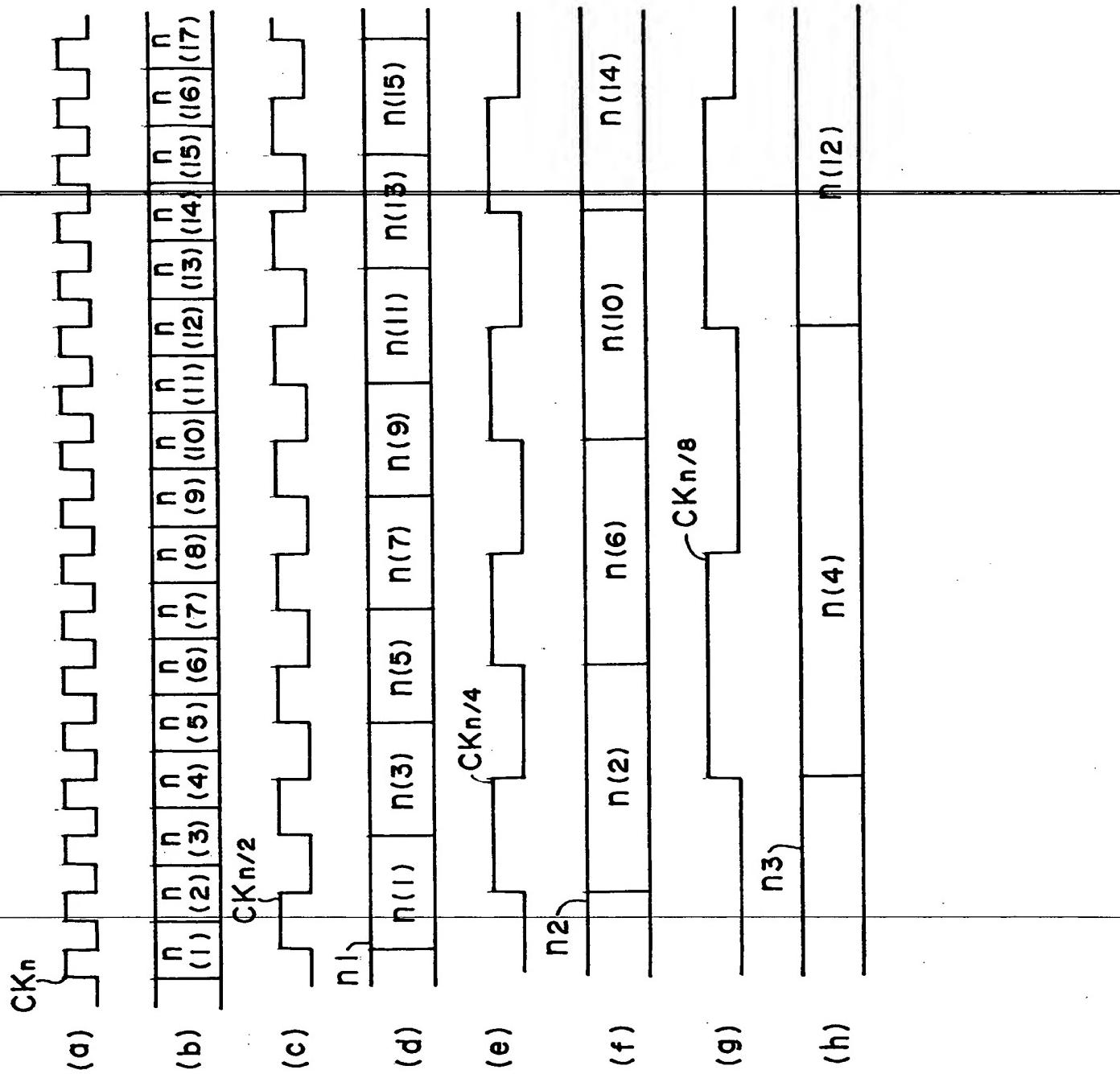
【図23】



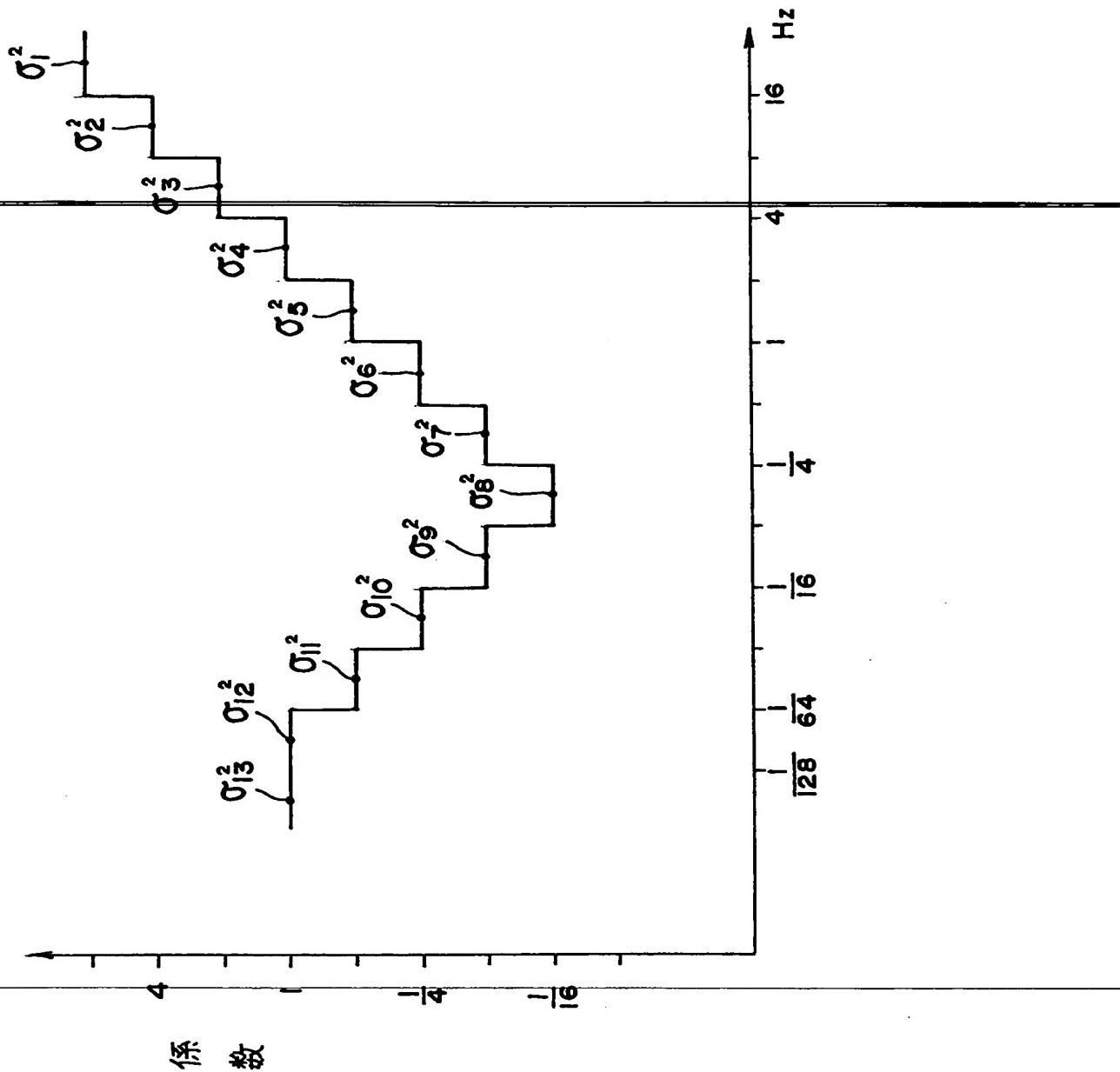
【図24】



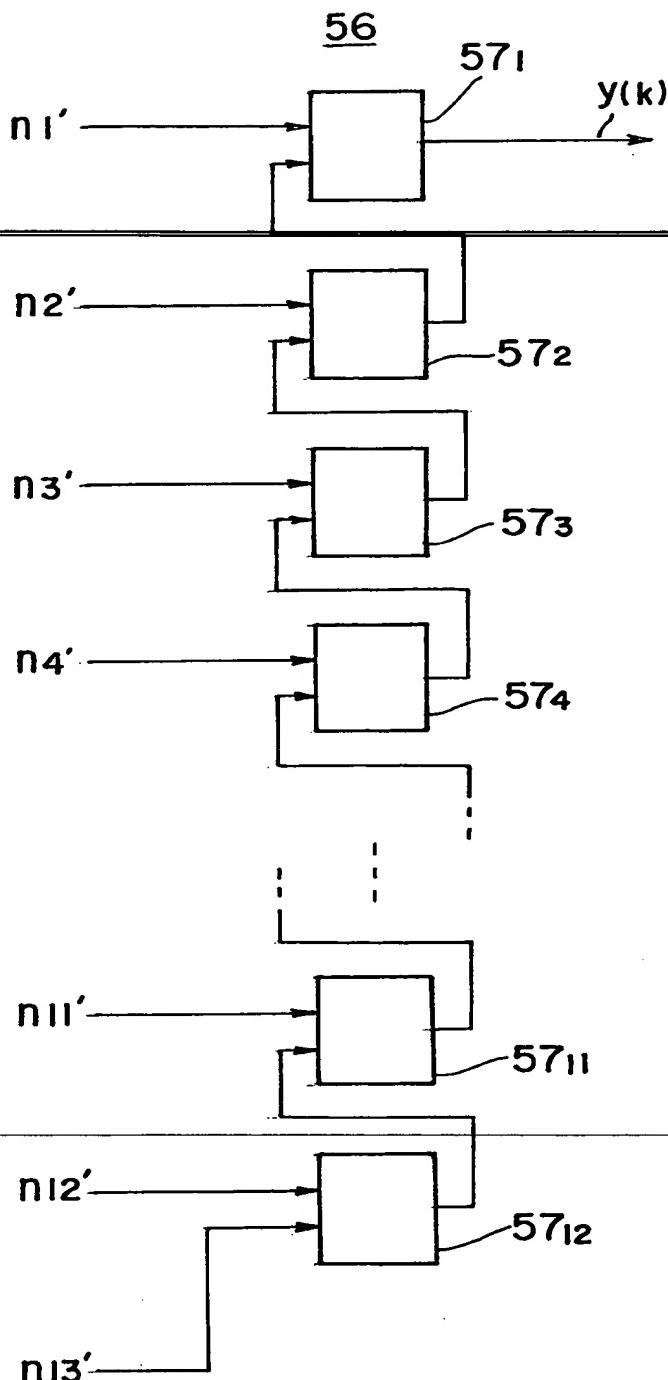
【図25】



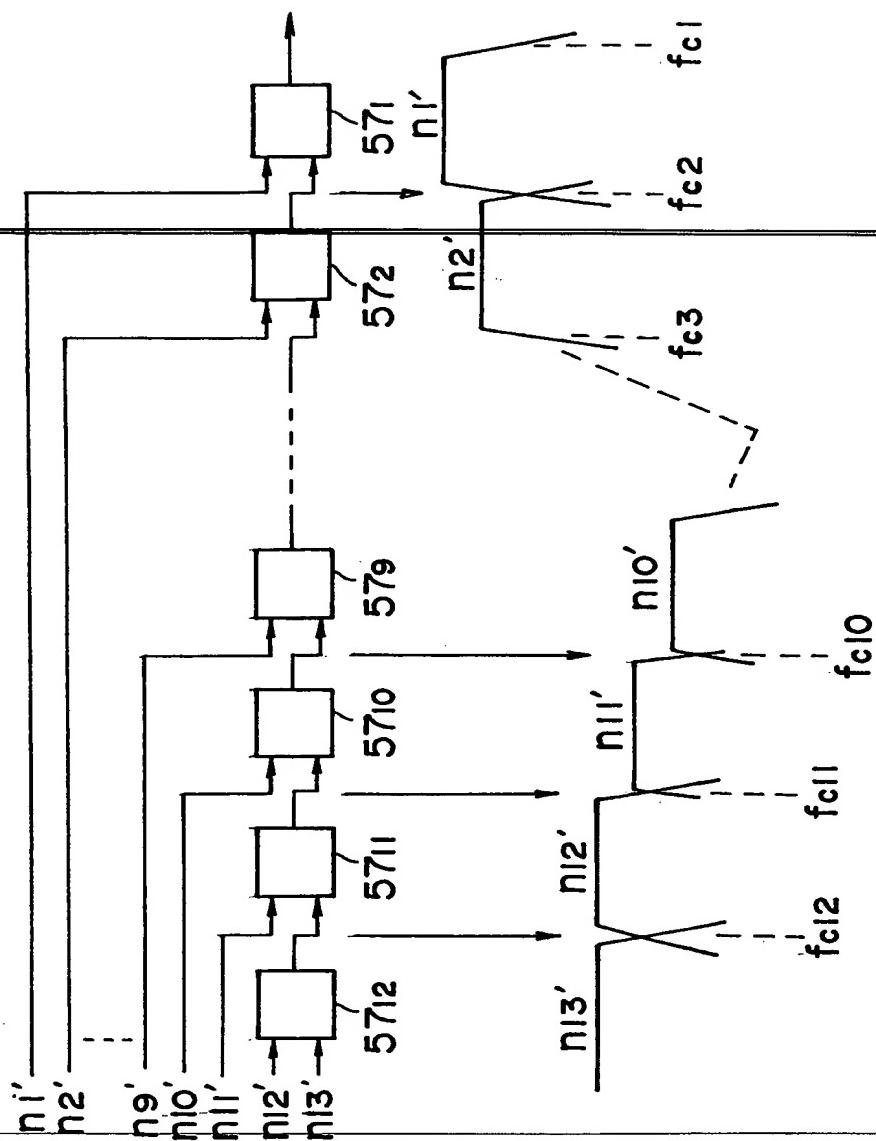
【図26】



【図27】

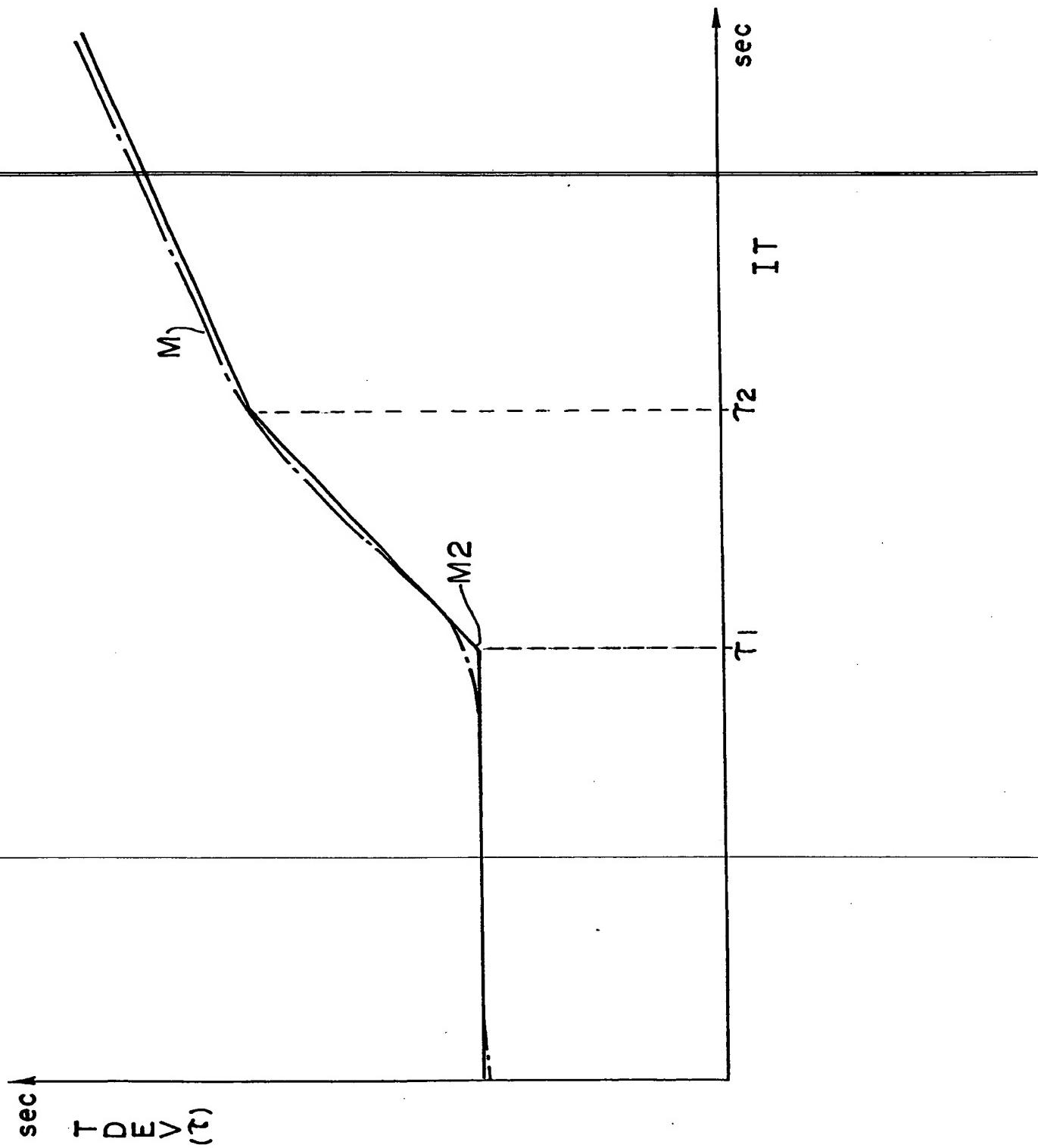


【図28】

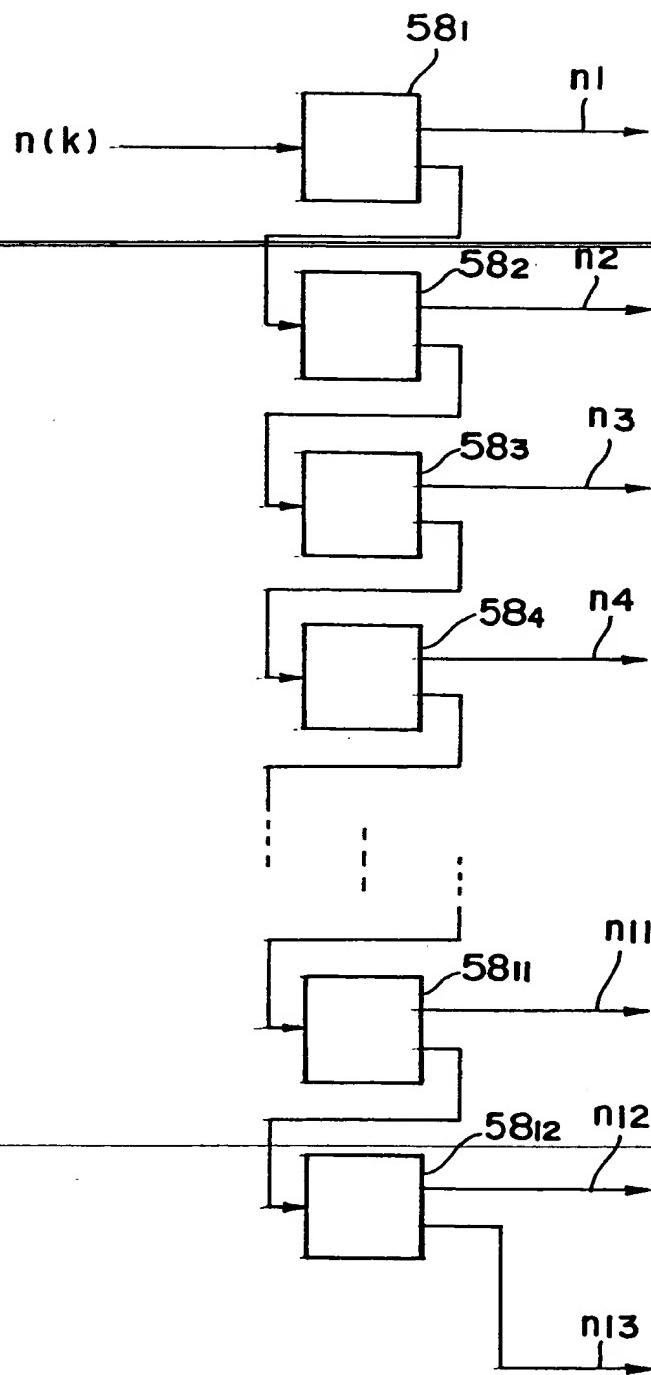


特2000-336447

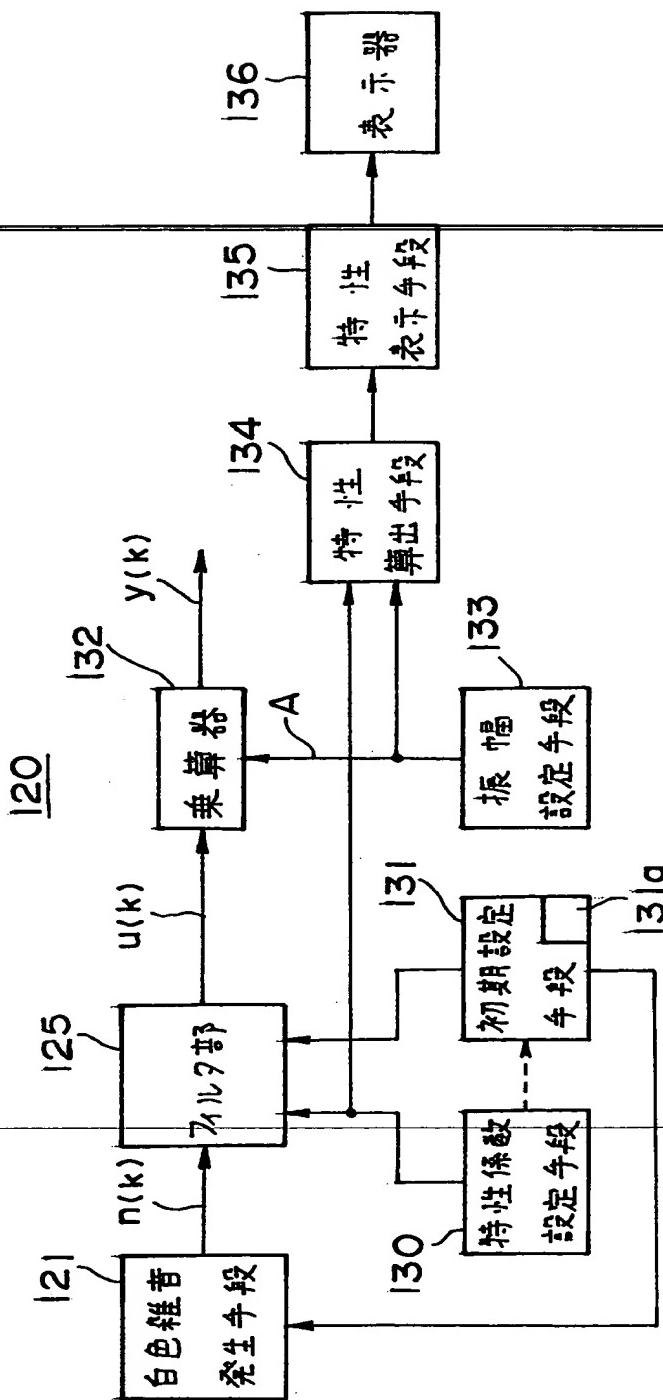
【図29】



【図30】

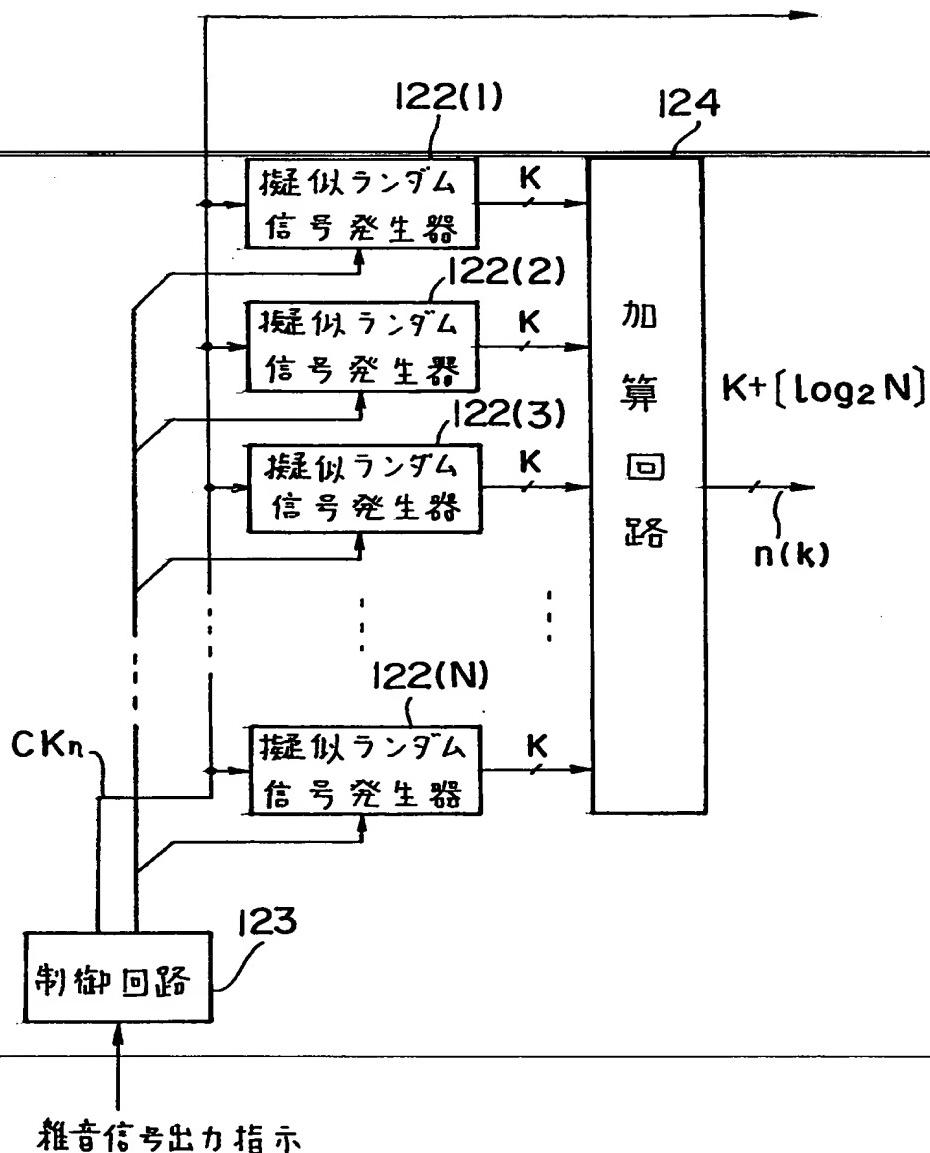


【図31】

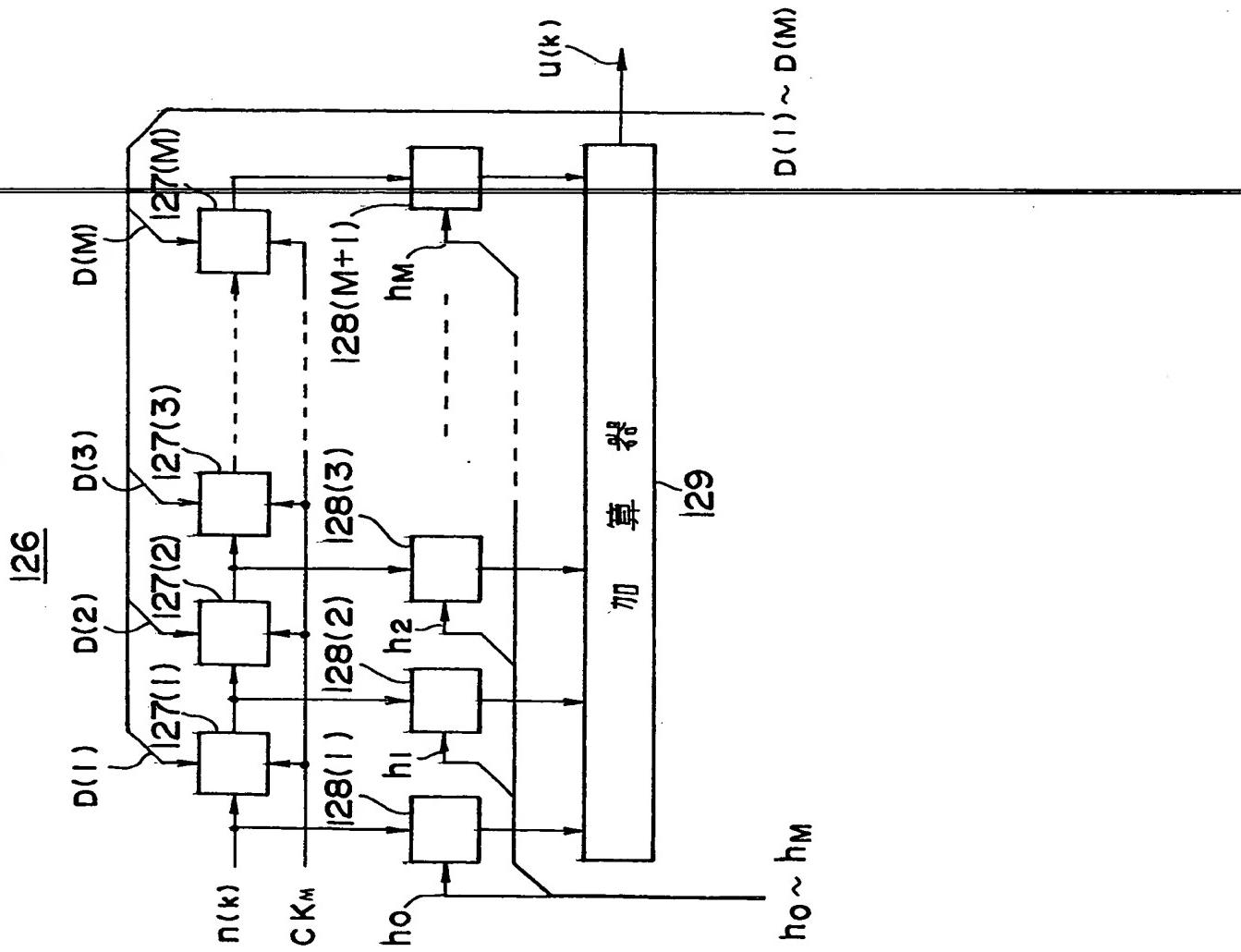


【図32】

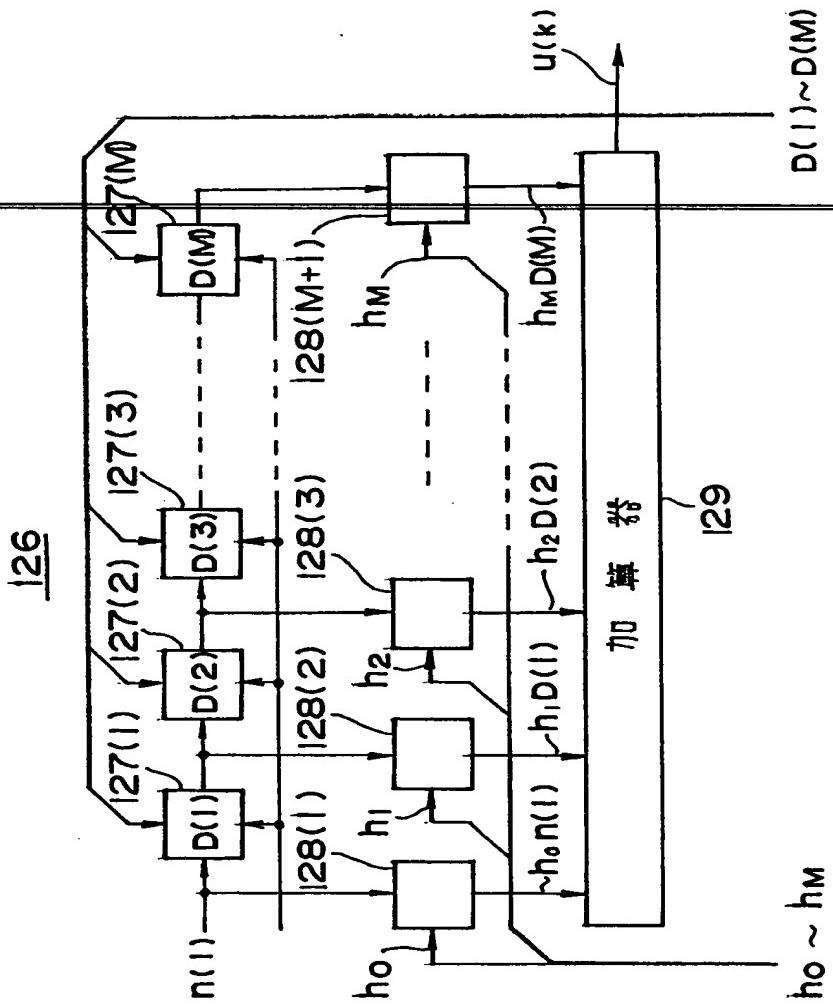
121



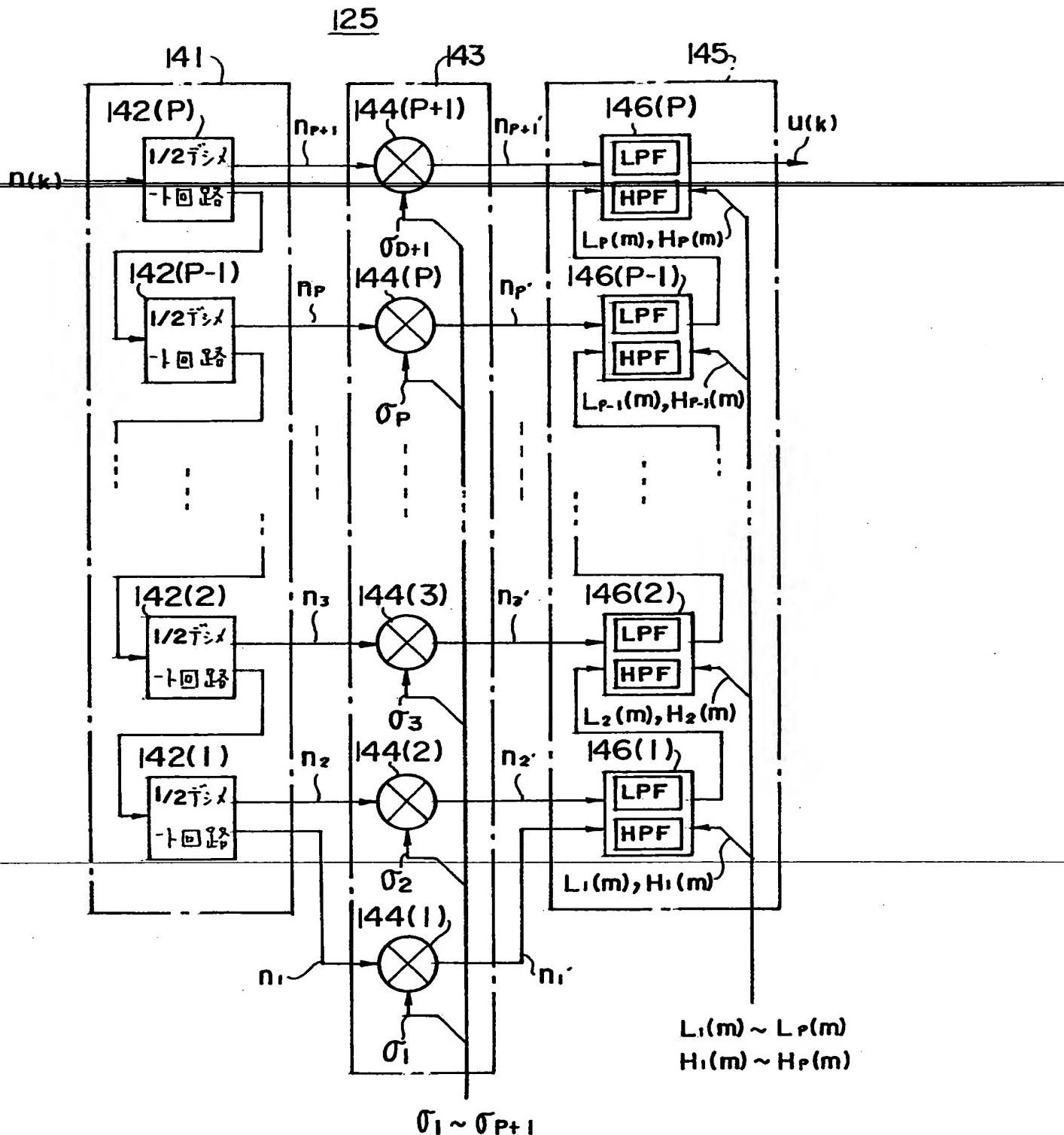
【図33】



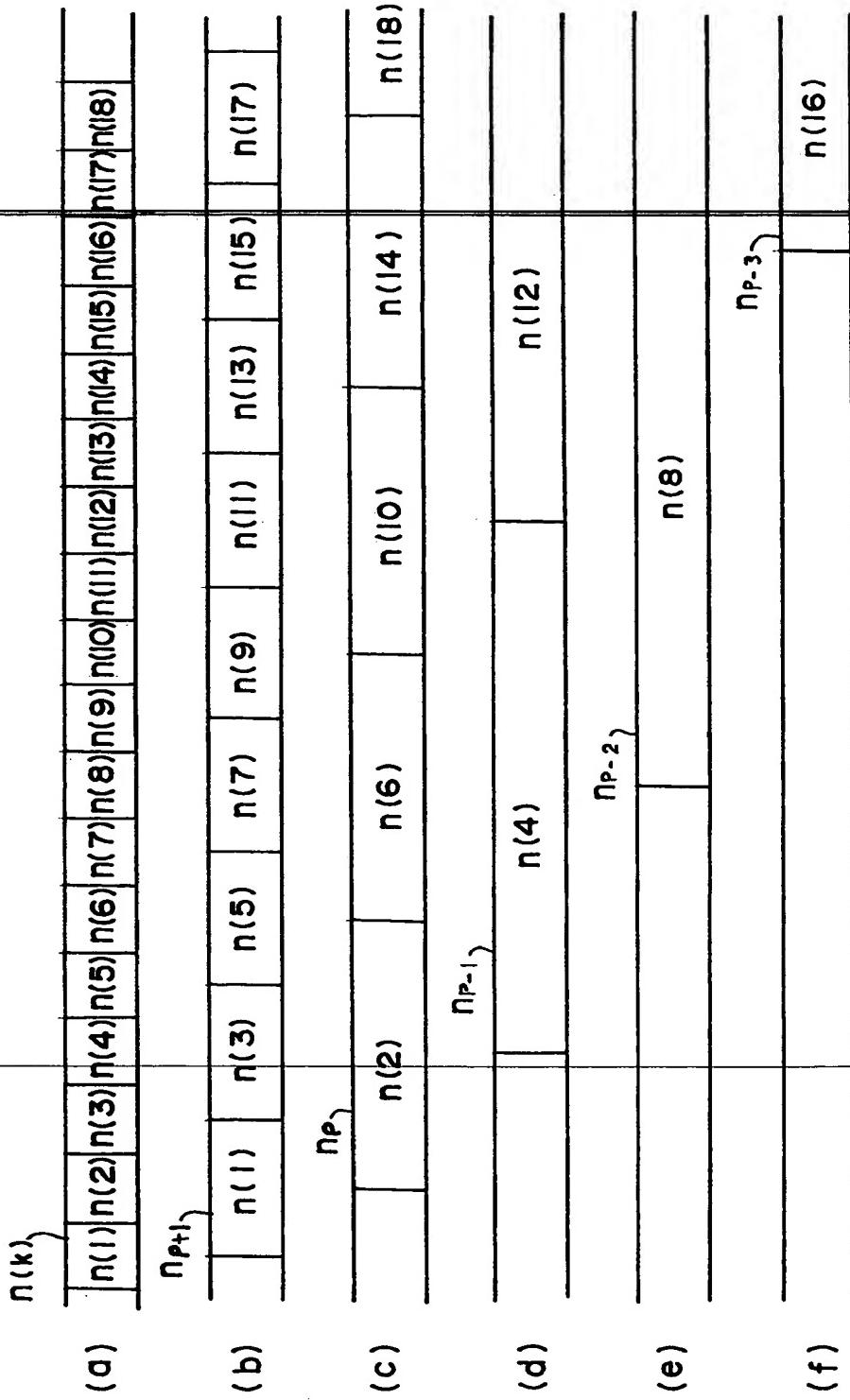
【図34】



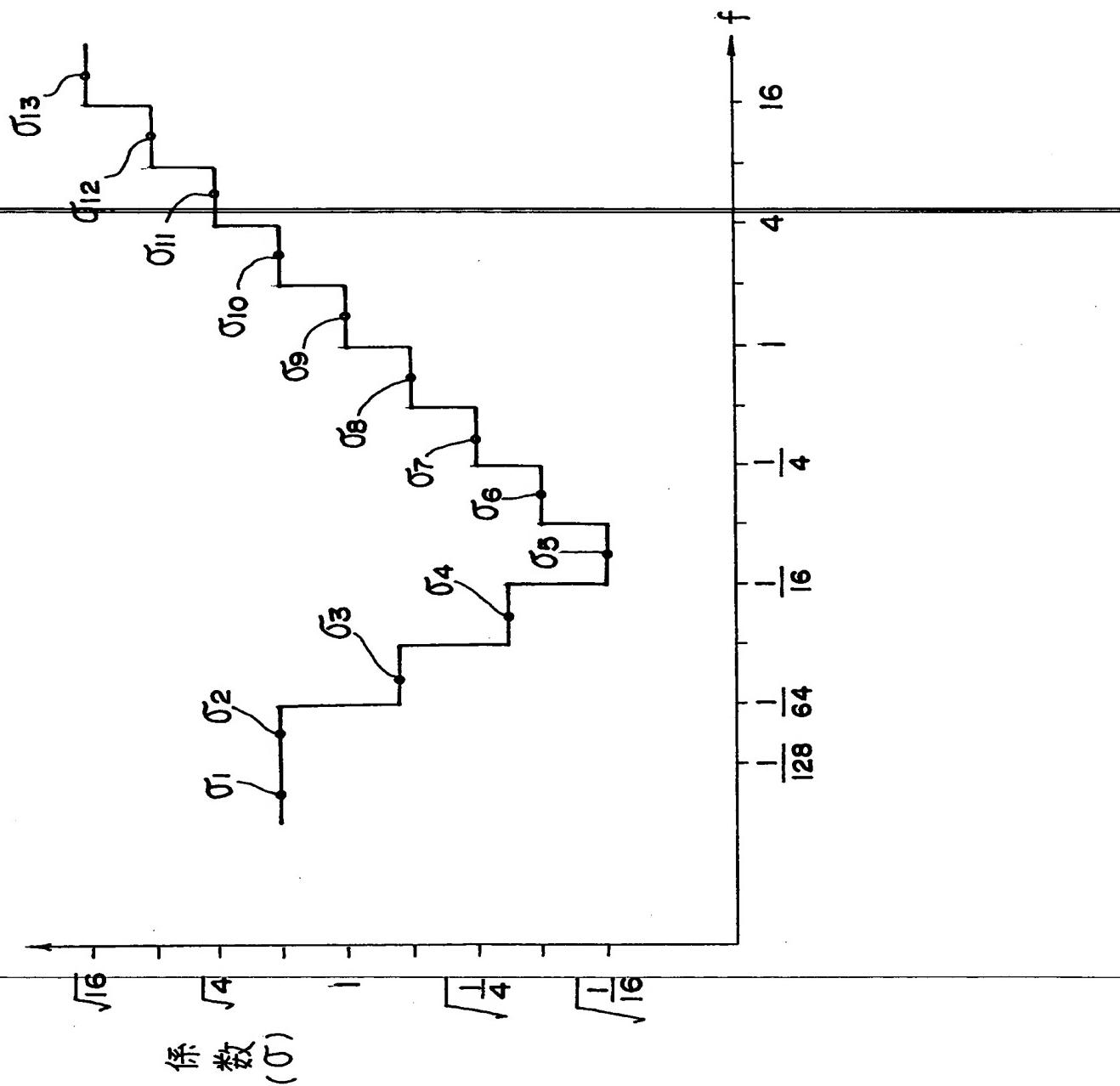
【図35】



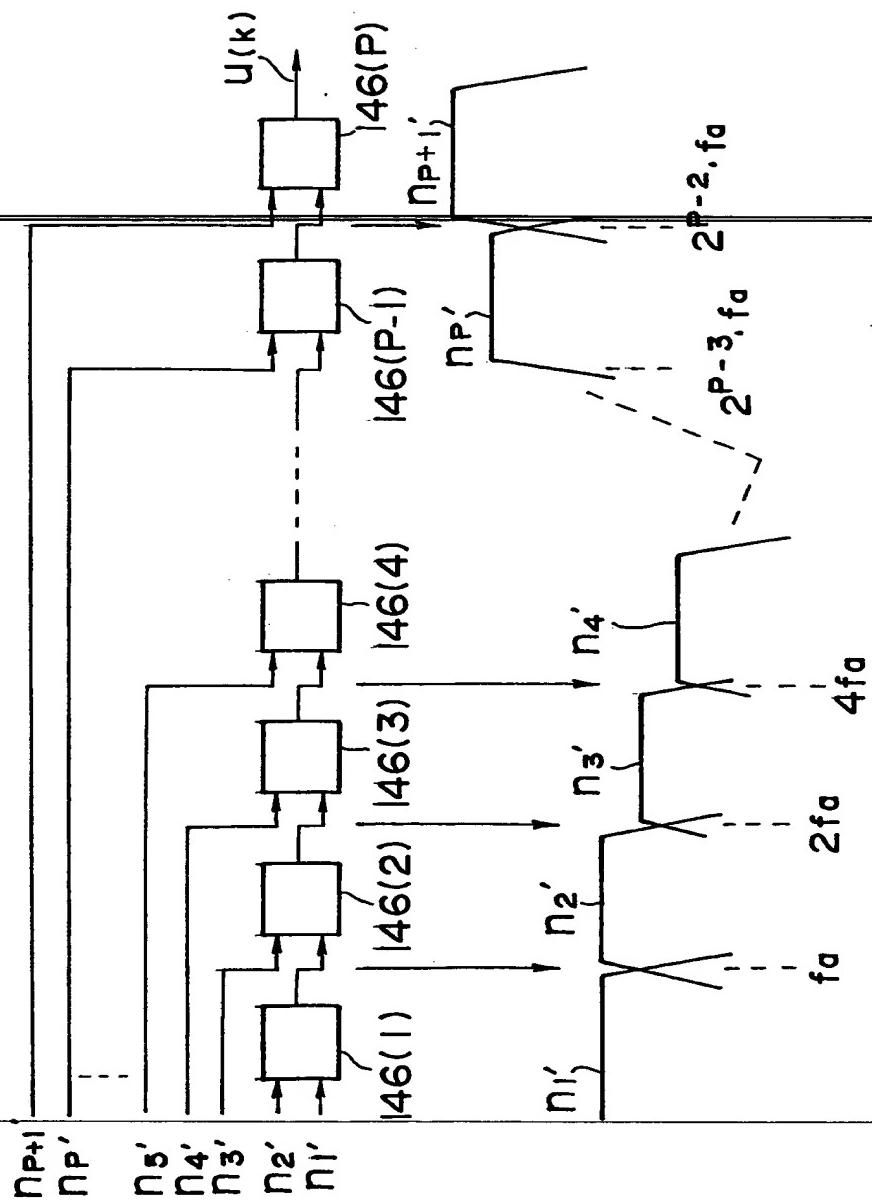
【図36】



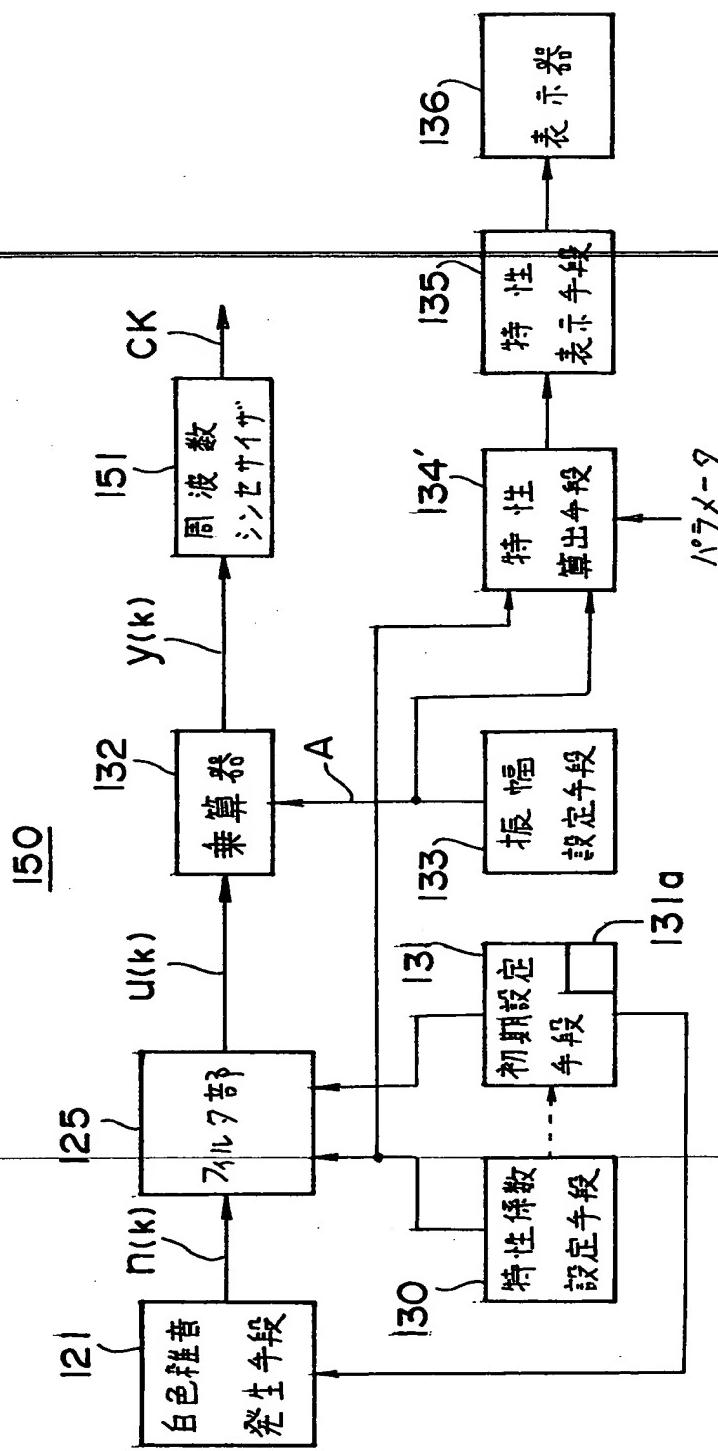
【図37】



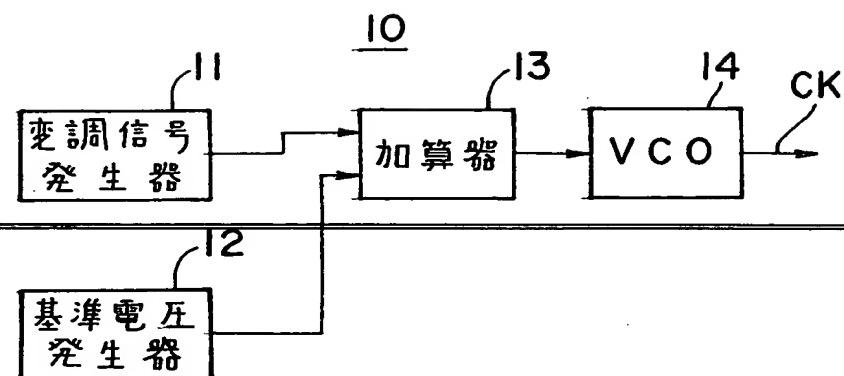
〔図38〕



【図39】

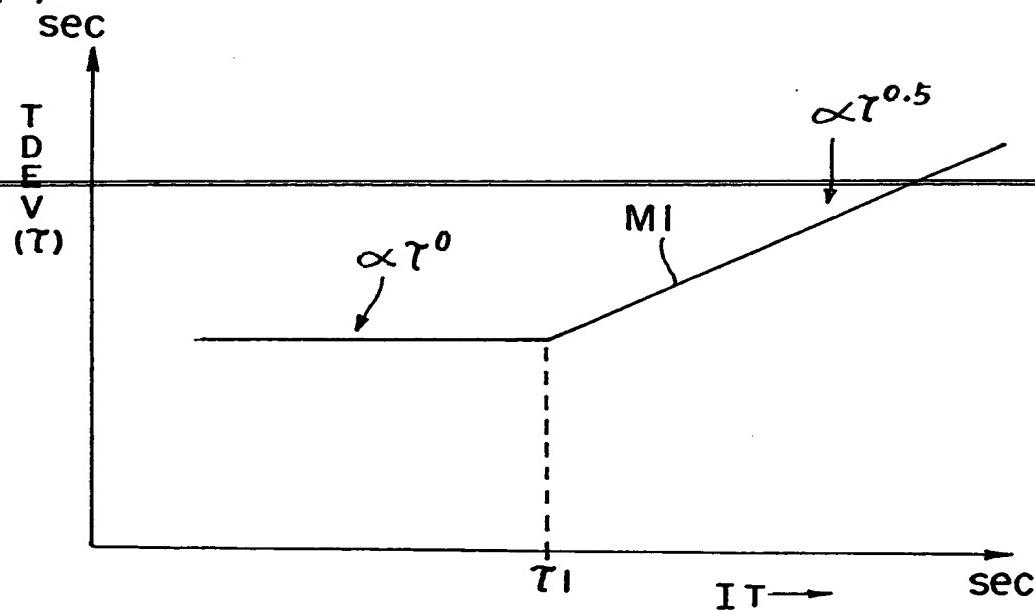


【図40】

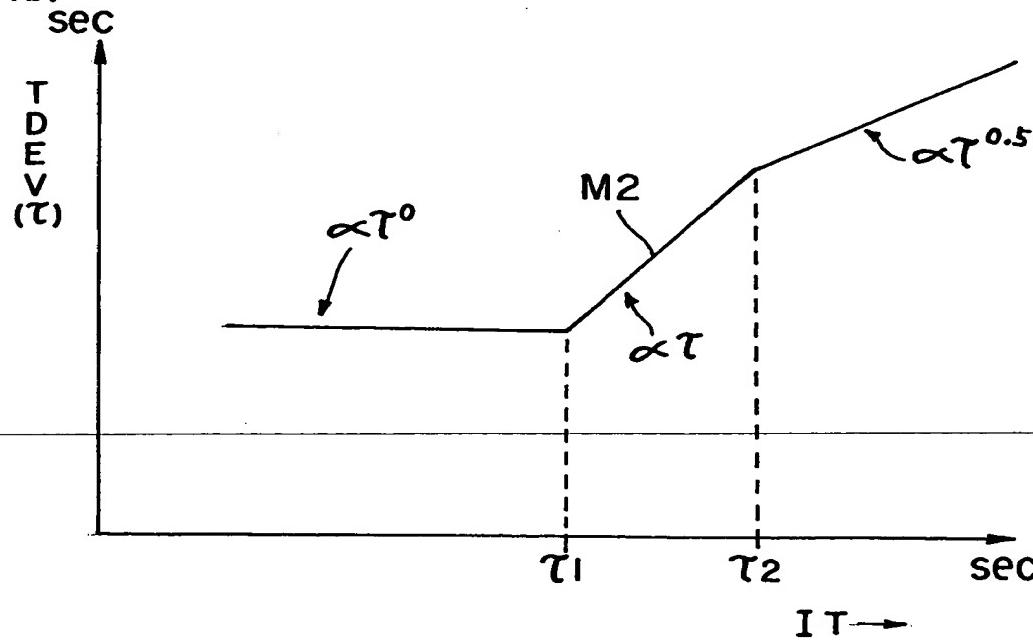


【図4.1】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 任意のTDEVマスクを満足するクロック信号を容易に且つ精度良く発生させる。

【解決手段】 雑音発生手段25が所定のアルゴリズムで生成した擬似ランダム信号からなる白色雑音信号n(k)を畳込み演算手段28に入力して、特性情報設定手段23によって設定された所望のタイムデビエーション特性の特性情報に基づいて得られたタップ係数h(t)との畳み込み演算(フィルタリング処理)を行い、所望のタイムデビエーション特性に対応する電力スペクトル密度分布特性を有する揺らぎ信号列を発生し、この揺らぎ信号列によって周波数が変調された信号をDDS30から出力させる。

【選択図】 図5

特2000-336447

認定・付加情報

特許出願の番号	特願2000-336447
受付番号	50001425246
書類名	特許願
担当官	第三担当上席 0092
作成日	平成12年11月 8日

<認定情報・付加情報>

【提出日】 平成12年11月 2日

次頁無

出願人履歴情報

識別番号 [000000572]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区南麻布5丁目10番27号

氏 名 アンリツ株式会社

THIS PAGE BLANK (USPTO)